

SHIFT REGISTER AND IMAGE DISPLAY USING THE SAME

Patent Number: JP2000339985
 Publication date: 2000-12-08
 Inventor(s): WASHIO HAJIME; KUBOTA YASUSHI; MAEDA KAZUHIRO; KAIZE YASUYOSHI; MICHAEL JAMES BROWNLOW; CAIRNS GRAHAM ANDREW
 Applicant(s): SHARP CORP
 Requested Patent: ☐ JP2000339985
 Application Number: JP20000039170 19990528
 Priority Number (s):
 IPC Classification: G11C19/28; G09G3/20; G11C19/00
 EC Classification:
 Equivalents:

Abstract

PROBLEM TO BE SOLVED: To obtain a shift register that normally operates even when the amplitude of a clock signal is small, and at the same time has less power consumption.
SOLUTION: For each SR flip-flop F1 composing a shift register 11, a level shifter 13 for boosting a clock signal CK is provided, thus the transmission distance of the boosted clock signal and the load capacity of the level shifter 13 are reduced as compared with a case where the clock signal is boosted by only one level shifter for transmitting to each flip-flop. Each level shifter 13 operates while the level shifter 13 at the previous stage outputs a pulse, and stops the operation when the pulse output is completed, thus each level shifter 13 can operate only when the clock signal CK is required to be supplied to the corresponding SR flip-flop F1, and as a result the power consumption of the shift register that normally operates even when the amplitude of the clock signal is small can be reduced.

Data supplied from the esp@cenet database - I2

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G11C 19/28		G11C 19/28	B
G09G 3/20	622	G09G 3/20	E
	623		H
G11C 19/00		G11C 19/00	K

審査請求 有 請求項の数11 O L (全29頁)

(21) 出願番号	特願2000-39170 (P 2000 - 39170)	(71) 出願人	000005049
(62) 分割の表示	特願平11-150682の分割		シャープ株式会社
(22) 出願日	平成11年 5 月28日 (1999. 5. 28)		大阪府大阪市阿倍野区長池町22番22号
		(72) 発明者	鷲尾 一
			大阪府大阪市阿倍野区長池町22番22号 シ
			ャープ株式会社内
		(72) 発明者	久保田 靖
			大阪府大阪市阿倍野区長池町22番22号 シ
			ャープ株式会社内
		(74) 代理人	100102277
			弁理士 佐々木 晴康 (外 2 名)

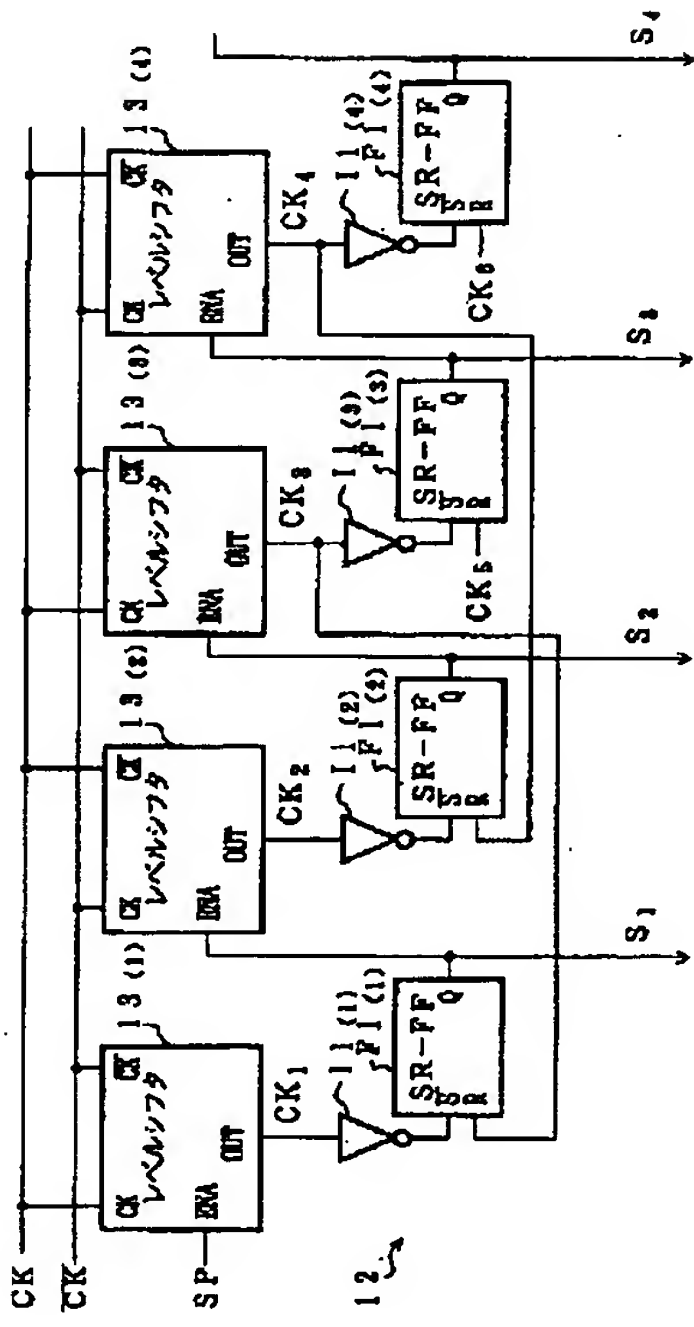
最終頁に続く

(54) 【発明の名称】 シフトレジスタ、および、それを用いた画像表示装置

(57) 【要約】

【課題】 クロック信号の振幅が小さい場合でも正常に動作すると共に、消費電力の少ないシフトレジスタを実現する。

【解決手段】 シフトレジスタ 1 1 を構成する各 S R フリップフロップ F 1 毎に、クロック信号 C K を昇圧するレベルシフタ 1 3 が設けられている。これにより、クロック信号を唯一のレベルシフタで昇圧した後、各フリップフロップへ伝送する場合に比べて、昇圧後のクロック信号の伝送距離を削減でき、レベルシフタ 1 3 の負荷容量を削減できる。さらに、各レベルシフタ 1 3 は、前段のレベルシフタ 1 3 がパルスを出力している間、動作し、パルス出力が終了すると動作を停止するので、対応する S R フリップフロップ F 1 へクロック信号 C K を供給する必要がある場合にのみ動作できる。これらの結果、クロック信号の振幅が小さい場合でも正常に動作するシフトレジスタの消費電力を削減できる。



【特許請求の範囲】

【請求項 1】 クロック信号に同期して動作する複数段のフリップフロップと、

上記フリップフロップの駆動電圧よりも振幅が小さなクロック信号を昇圧して上記各フリップフロップへ印加するレベルシフタとを有し、上記クロック信号に同期して入力パルスを伝送するシフトレジスタにおいて、

上記各フリップフロップは、少なくとも 1 つのフリップフロップからなる複数のブロックに分けられ、

上記レベルシフタは、当該各ブロック毎に設けられていると共に、

上記複数のレベルシフタのうち、その時点で上記入力パルスの伝送に上記クロック信号の入力を必要としないブロックに対応するレベルシフタの少なくとも 1 つは停止してなり、

上記ブロックのうちの特定ブロックは、上記フリップフロップとして、D フリップフロップを含んでいると共に、

上記特定ブロックに対応する特定レベルシフタは、当該特定ブロックへのパルス入力開始された時点で動作を開始し、当該特定ブロックの最終段のフリップフロップがパルス出力を終了した後に、動作を停止することを特徴とするシフトレジスタ。

【請求項 2】 上記特定ブロック内の上記フリップフロップは、複数であり、

上記特定レベルシフタは、上記特定ブロックへ入力される信号と、上記特定ブロックの最終段のフリップフロップの出力信号とに応じて、出力を変化させるラッチ回路を含んでいることを特徴とする請求項 1 記載のシフトレジスタ。

【請求項 3】 クロック信号に同期して動作する複数段のフリップフロップと、

上記フリップフロップの駆動電圧よりも振幅が小さなクロック信号を昇圧して上記各フリップフロップへ印加するレベルシフタとを有し、上記クロック信号に同期して入力パルスを伝送するシフトレジスタにおいて、

上記各フリップフロップは、少なくとも 1 つのフリップフロップからなる複数のブロックに分けられ、

上記レベルシフタは、当該各ブロック毎に設けられていると共に、

上記複数のレベルシフタのうち、その時点で上記入力パルスの伝送に上記クロック信号の入力を必要としないブロックに対応するレベルシフタの少なくとも 1 つは停止してなり、

上記レベルシフタは、入力スイッチング素子を備えた電流駆動型のレベルシフト部を含んでいることを特徴とするシフトレジスタ。

【請求項 4】 上記レベルシフタは、上記レベルシフト部への入力信号として、上記入力スイッチング素子が遮断するレベルの信号を与えることによって、当該レベルシ

フタを停止させる入力信号制御部を備えていることを特徴とする請求項 3 記載のシフトレジスタ。

【請求項 5】 上記レベルシフタは、上記レベルシフト部への電力供給を停止して、当該レベルシフタを停止させる電力供給制御部を備えていることを特徴とする請求項 3 記載のシフトレジスタ。

【請求項 6】 クロック信号に同期して動作する複数段のフリップフロップと、

上記フリップフロップの駆動電圧よりも振幅が小さなクロック信号を昇圧して上記各フリップフロップへ印加するレベルシフタとを有し、上記クロック信号に同期して入力パルスを伝送するシフトレジスタにおいて、

上記各フリップフロップは、少なくとも 1 つのフリップフロップからなる複数のブロックに分けられ、

上記レベルシフタは、当該各ブロック毎に設けられていると共に、

上記複数のレベルシフタのうち、その時点で上記入力パルスの伝送に上記クロック信号の入力を必要としないブロックに対応するレベルシフタの少なくとも 1 つは停止してなり、

上記各レベルシフタは、出力安定手段を備えていることを特徴とするシフトレジスタ。

【請求項 7】 上記レベルシフタには、上記クロック信号が伝送されるクロック信号線と、上記レベルシフト部との間に配され、当該レベルシフタが停止している間、開放されるスイッチが設けられていることを特徴とする請求項 6 記載のシフトレジスタ。

【請求項 8】 マトリクス状に配された複数の画素と、上記各画素の各行に配置された複数のデータ信号線と、上記各画素の各列に配置された複数の走査信号線と、予め定められた周期の第 1 クロック信号に同期して、互いに異なるタイミングの走査信号を上記各走査信号線へ順次与える走査信号線駆動回路と、

予め定められた周期の第 2 クロック信号に同期して順次与えられ、かつ、上記各画素の表示状態を示す映像信号から、上記走査信号が与えられた走査信号線の各画素へのデータ信号を抽出して、上記各データ信号線へ出力するデータ信号線駆動回路とを有する画像表示装置において、

上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方は、上記第 1 あるいは第 2 クロック信号を上記クロック信号とする請求項 1 乃至 7 記載のシフトレジスタを備えていることを特徴とする画像表示装置。

【請求項 9】 上記データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されていることを特徴とする請求項 8 記載の画像表示装置。

【請求項 10】 上記データ信号線駆動回路、走査信号線駆動回路および各画素は、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいることを特徴とする請求項 8 または 9 記載の画像表示装置。

【請求項 11】 上記データ信号線駆動回路、走査信号線駆動回路および各画素は、600度以下のプロセス温度で製造されたスイッチング素子を含んでいることを特徴とする請求項 8 乃至 10 記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば、画像表示装置の駆動回路などに好適に使用され、クロック信号の振幅が駆動電圧よりも低い場合でも入力パルスをシフト可能なシフトレジスタ、および、それを用いた画像表示装置に関するものである。

【0002】

【従来の技術】 例えば、画像表示装置のデータ信号線駆動回路や走査信号線駆動回路では、各データ信号を映像信号からサンプリングする際のタイミングを取ったり、各走査信号線へ与える走査信号を作成したりするために、シフトレジスタが広く使用されている。

【0003】 一方、電子回路の消費電力は、周波数と、負荷容量と、電圧の 2 乗とに比例して大きくなる。したがって、例えば、画像表示装置への映像信号を生成する回路など、画像表示装置に接続される回路、あるいは、画像表示装置では、消費電力を低減するため、駆動電圧が益々低く設定される傾向にある。

【0004】 例えば、画素や、データ信号線駆動回路、あるいは走査信号線駆動回路のように、広い表示面積を確保するために多結晶シリコン薄膜トランジスタが使用される回路では、基板間あるいは同一基板内においても、しきい値電圧の相違が、例えば、数 [V] 程度に達することもあるため、駆動電圧の低減が十分に進んでいるとは言いが、例えば、上記映像信号の生成回路のように、単結晶シリコントランジスタを用いた回路では、駆動電圧は、例えば、5 [V] や 3.3 [V]、あるいは、それ以下の値に設定されていることが多い。したがって、シフトレジスタの駆動電圧よりも低いクロック信号が印加される場合、シフトレジスタには、クロック信号を昇圧するレベルシフトが設けられる。

【0005】 具体的には、例えば、図 39 に示すように、上記従来のシフトレジスタ 101 へ、例えば、5

[V] 程度の振幅のクロック信号 CK が与えられると、レベルシフト 103 は、シフトレジスタ 101 の駆動電圧 (1.5 [V]) まで、クロック信号 CK を昇圧する。昇圧後のクロック信号 CK は、各フリップフロップ F1 ~ Fn へ印加され、シフトレジスタ部 102 は、当該クロック信号 CK に同期して開始信号 SP をシフトする。

【0006】

【発明が解決しようとする課題】 しかしながら、上記従来のシフトレジスタ 101 では、クロック信号 CK をレベルシフトした後、各フリップフロップ F1 ~ Fn へ伝送しているため、フリップフロップ F1 ~ Fn の両端間の距離が離れる程、伝送距離が長くなり、消費電力が増大す

るという問題を生ずる。

【0007】 具体的には、伝送距離が長くなるに従って、伝送用の信号線の容量が大きくなるので、レベルシフト 103 に、より大きな駆動能力が必要となり、消費電力が増大する。さらに、多結晶シリコン薄膜トランジスタを用いて、レベルシフト 103 を含む上記駆動回路が形成される場合のように、レベルシフト 103 の駆動能力が十分ではない場合には、歪みのない波形を伝送するため、図中、破線で示すように、レベルシフト 103 と各フリップフロップ F1 ~ Fn との間にバッファ 104 を設ける必要があるため、さらに多くの消費電力が必要になる。

【0008】 近年では、より表示画面が広く、かつ、高解像な画像表示装置が要求されているため、シフトレジスタ部 102 の段数が益々増加する傾向にある。したがって、フリップフロップ F1 ~ Fn の両端間の距離が増大しても消費電力の少ないシフトレジスタ、および、画像表示装置が強く求められている。

【0009】 本発明は、上記の問題点に鑑みてなされたものであり、その目的は、クロック信号の振幅が駆動電圧よりも低い場合でも正常に動作し、かつ、消費電力の少ないシフトレジスタ、および、それを用いた画像表示装置を実現することにある。

【0010】

【課題を解決するための手段】 本発明に係るシフトレジスタは、上記課題を解決するために、クロック信号に同期して動作する複数段のフリップフロップと、上記フリップフロップの駆動電圧よりも振幅が小さなクロック信号を昇圧して上記各フリップフロップへ印加するレベルシフトとを有し、上記クロック信号に同期して入力パルスを伝送するシフトレジスタにおいて、以下の手段を講じたことを特徴としている。

【0011】 すなわち、上記各フリップフロップは、少なくとも 1 つのフリップフロップからなる複数のブロックに分けられ、上記レベルシフトは、当該各ブロック毎に設けられていると共に、上記複数のレベルシフトのうち、その時点で上記入力パルスの伝送に上記クロック信号の入力を必要としないブロックに対応するレベルシフトの少なくとも 1 つは停止する。

【0012】 なお、各ブロックが入力パルスの伝送にクロック信号を必要とするか否かは、シフトレジスタを構成するフリップフロップによって決定される。例えば、上記フリップフロップとして、クロック信号に応じてセットされるセット・リセット・フリップフロップが使用される場合、ブロックは、当該ブロックへパルスが入力されてから、最終段のフリップフロップがセットされるまでの間、クロック信号を必要とし、フリップフロップが D フリップフロップの場合は、当該ブロックへパルスが入力されてから、最終段のフリップフロップがパルス出力を終了するまでの間、クロック信号を必要とする。

なお、いずれの場合であっても、各ブロックに含まれるフリップフロップが1つで、各フリップフロップ毎にレベルシフタが設けられていてもよいし、複数のフリップフロップ毎にレベルシフタが設けられていてもよい。

【0013】上記構成において、クロック信号は、複数のレベルシフタのいずれかで昇圧された後、当該レベルシフタに対応するブロック内のフリップフロップへ印加され、入力パルスは、昇圧後のクロック信号に同期して、順次伝送される。されに、各レベルシフタのうち、クロック信号を出力する必要のないレベルシフタの少なくとも1つは、動作を停止する。

【0014】ここで、クロック信号を必要としないブロックとしては、例えば、入力パルスを伝送していないブロックが挙げられる。また、入力パルスを伝送しているブロックであっても、例えば、フリップフロップがクロック信号に応じてセットされ、より後段のフリップフロップの出力に応じてリセットされるセット・リセット・フリップフロップの場合には、最終段のフリップフロップがセットされた後の期間は、クロック信号を必要としない。

【0015】上記構成では、シフトレジスタに複数のレベルシフタが設けられているので、唯一のレベルシフタが全てのフリップフロップへレベルシフト後のクロック信号を印加する場合に比べて、レベルシフタからフリップフロップへの距離を短縮できる。この結果、レベルシフト後のクロック信号の伝送距離を短縮できるので、レベルシフタの負荷容量を削減でき、レベルシフタに必要な駆動能力を抑制できる。これにより、例えば、レベルシフタの駆動能力が小さく、かつ、フリップフロップの両端間の距離が長い場合であっても、レベルシフタからフリップフロップまでの間にバッファを設ける必要がなくなり、シフトレジスタの消費電力を削減できる。加えて、複数のレベルシフタのうち、少なくとも1つは、動作を停止しているもので、全てのレベルシフタが同時に動作する場合に比べて、シフトレジスタの消費電力を削減できる。これらの結果、低電圧のクロック信号入力でも動作可能で、かつ、低消費電力なシフトレジスタを実現できる。

【0016】さらに、本発明は、フリップフロップとしてセット・リセット・フリップフロップを含む場合に限らず、上記ブロックのうちの特定ブロックが上記フリップフロップとしてDフリップフロップを含む場合にも適用できる。この場合、上記特定ブロックに対応する特定レベルシフタは、当該特定ブロックへのパルス入力開始された時点で動作を開始し、当該特定ブロックの最終段のフリップフロップがパルス出力を終了した後に、動作を停止する方が好ましい。

【0017】当該構成によれば、特定ブロックは、フリップフロップとして、Dフリップフロップを含んでいるので、セット・リセット・フリップフロップの場合とは

異なり、入力パルスのパルス幅（クロック数）が変化する場合であっても、何ら支障なく、入力パルスを伝送できる。また、上記構成によれば、特定レベルシフタは、特定ブロックのDフリップフロップが動作する際に必要な期間に、レベルシフト後のクロック信号を供給し、Dフリップフロップへのクロック信号の入力が不要な場合には、動作を停止する。この結果、互いに異なるパルス幅の入力パルスを伝送可能で、かつ、消費電力の少ないシフトレジスタを実現できる。

【0018】加えて、特定ブロックへパルス入力されてから、最終段のフリップフロップがパルス出力するまでの期間は、例えば、特定ブロックへ入力されるパルス信号と、各段のフリップフロップの出力信号との論理和を算出したり、トリガとなる信号をラッチするなどすれば算出できる。したがって、この場合、フリップフロップの入出力とは別に動作期間を算出するときよりも、シフトレジスタの回路構成を簡略化できる。

【0019】また、上記構成のシフトレジスタにおいて、上記特定ブロック内の上記フリップフロップが複数の場合、上記特定レベルシフタは、上記特定ブロックへ入力される信号と、上記特定ブロックの最終段のフリップフロップの出力信号とに応じて、出力を変化させるラッチ回路を含んでいてもよい。

【0020】さらに、上記構成のシフトレジスタにおいて、上記レベルシフタは、動作中、上記クロック信号を印加する入力スイッチング素子が常時導通する電流駆動型のレベルシフト部を含んでいてもよい。

【0021】当該構成によれば、レベルシフタが動作している間、レベルシフタの入力スイッチング素子は、常時導通している。したがって、クロック信号のレベルによって入力スイッチング素子を導通／遮断する電圧駆動型のレベルシフタとは異なり、クロック信号の振幅が入力スイッチング素子のしきい値電圧よりも低い場合であっても、何ら支障なく、クロック信号をレベルシフトできる。

【0022】さらに、電流駆動型のレベルシフタは、動作中、入力スイッチング素子が導通しているため、電圧駆動型のレベルシフタよりも消費電力が大きい。複数のレベルシフタのうち、少なくとも1つが動作を停止している。これにより、クロック信号の振幅が入力スイッチング素子のしきい値電圧よりも低い場合でもレベルシフト可能で、かつ、全てのレベルシフタが同時に動作する場合よりも消費電力が少ないシフトレジスタを実現できる。

【0023】また、上記構成のシフトレジスタにおいて、上記レベルシフト部への入力信号として、上記入力スイッチング素子が遮断するレベルの信号を与えることによって、当該レベルシフタを停止させる入力信号制御部が設けられていてもよい。

【0024】当該構成によれば、一例として、入力スイ

ッチング素子がMOSトランジスタの場合を例にして説明すると、例えば、入力信号がゲートへ印加される場合は、ドレイン-ソース間が遮断されるレベルの入力信号をゲートへ印加すれば、入力スイッチング素子が遮断される。また、入力信号がソースへ印加される場合には、例えば、ドレインと略同じ入力信号を印加するなどして、入力スイッチング素子を遮断する。

【0025】いずれの構成であっても、入力信号制御部が入力信号のレベルを制御して、入力スイッチング素子を遮断すれば、電流駆動型のレベルシフタは、動作を停
止する。これにより、入力信号制御部は、レベルシフタを停止できると共に、停止中は、動作中に入力スイッチ
ング素子へ流れる電流の分だけ、消費電力を低減でき
る。

【0026】一方、上記各構成のシフトレジスタは、上記レベルシフト部への電力供給を停止して、当該レベルシフト部を停止させる電力供給制御部を備えていてもよい。

【0027】当該構成によれば、電力供給制御部は、各レベルシフト部への電力供給を停止して、当該レベルシフト部を停止させる。これにより、電力供給制御部は、レベルシフト部を停止できると共に、動作停止中は、動作中にレベルシフト部で消費する電力の分だけ、消費電力を低減できる。

【0028】ところで、レベルシフト部が動作を停止している間、レベルシフト部の出力電圧が不定となると、当該レベルシフト部に接続されているフリップフロップの動作が不安定になる虞れがある。

【0029】したがって、上記各構成のシフトレジスタにおいて、上記レベルシフト部は、停止時に、予め定められた値に出力電圧を保つ出力安定手段を備えている方が好ましい。

【0030】当該構成によれば、レベルシフト部が停止している間、当該レベルシフト部の出力電圧は、出力安定手段によって所定の値に保たれる。この結果、不定な出力電圧に起因するフリップフロップの誤動作を防止でき、より安定したシフトレジスタを実現できる。

【0031】さらに、上記各構成のシフトレジスタには、上記クロック信号が伝送されるクロック信号線と、上記レベルシフト部との間に配され、当該レベルシフト部が停止している間、開放されるスイッチが設けられている方が好ましい。なお、当該スイッチは、上記入力信号制御部の一部としても実現できる。

【0032】上記構成では、クロック信号線に全てのレベルシフト部が常時接続され、全レベルシフト部の入力スイッチング素子がクロック信号線の負荷となる場合とは異なり、クロック信号線へ接続される入力スイッチング素子は、動作中のレベルシフト部のものに限定される。また、停止中、上記スイッチが開放され、レベルシフト部の入力が不定となっても、上記出力安定手段によって、レ
50

ベルシフト部の出力が所定の値に保たれるので、フリップフロップが誤動作しない。この結果、クロック信号線の負荷容量を削減でき、クロック信号線を駆動する回路の消費電力を削減できる。

【0033】一方、本発明に係る画像表示装置は、上記課題を解決するために、マトリクス状に配された複数の画素と、上記各画素の各行に配置された複数のデータ信号線と、上記各画素の各列に配置された複数の走査信号線と、予め定められた周期の第1クロック信号に同期して、互いに異なるタイミングの走査信号を上記各走査信号線へ順次与える走査信号線駆動回路と、予め定められた周期の第2クロック信号に同期して順次与えられ、かつ、上記各画素の表示状態を示す映像信号から、上記走査信号が与えられた走査信号線の各画素へのデータ信号を抽出して、上記各データ信号線へ出力するデータ信号線駆動回路とを有する画像表示装置において、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方は、上記第1あるいは第2クロック信号を上記クロック信号とする上述のいずれかの構成のシフトレジスタを備えていることを特徴としている。

【0034】ここで、画像表示装置では、データ信号線の数、あるいは、走査信号線の数が大きくなるに従って、各信号線毎のタイミングを生成するためのフリップフロップの数が大きくなり、フリップフロップの両端間の距離が長くなる。ところが、上記各構成のシフトレジスタは、レベルシフト部の駆動能力が小さく、かつ、フリップフロップの両端間の距離が長い場合であっても、バッファを削減でき、消費電力を削減できる。

【0035】それゆえ、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方に、上記各構成のシフトレジスタを備えることによって、消費電力の少ない画像表示装置を実現できる。

【0036】さらに、上記構成の画像表示装置において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されている方が望ましい。

【0037】当該構成によれば、データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されており、データ信号線駆動回路と各画素との間の配線、並びに、走査信号線駆動回路と各画素との間の配線は、当該基板上に配され、基板外に出す必要がない。この結果、データ信号線の数および走査信号線の数が増加しても、基板外に出す信号線の数が増加せず、組み立て時の手間を削減できる。また、各信号線を基板外と接続するための端子を設ける必要がないため、各信号線の容量の不所望な増大を防止できると共に、集積度の低下を防止できる。

【0038】ところで、多結晶シリコン薄膜は、単結晶シリコンに比べて、基板面積を拡大しやすい一方で、多結晶シリコントランジスタは、単結晶シリコントランジ

スタに比べて、例えば、移動度やしきい値などのトランジスタ特性が劣っている。したがって、単結晶シリコントランジスタを用いて各回路を製造すると、表示面積の拡大が難しく、多結晶シリコン薄膜トランジスタを用いて各回路を製造すると、各回路の駆動能力が低下してしまう。なお、両駆動回路と画素とを別の基板上に形成した場合は、各信号線で両基板間を接続する必要があり、製造時に手間がかかると共に、各信号線の容量が増大してしまう。

【0039】したがって、上述の各構成の画像表示装置では、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいる方が好ましい。

【0040】当該構成では、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、いずれも、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいるため、表示面積を容易に拡大できる。さらに、同一基板上に容易に形成できるので、製造時の手間や各信号線の容量を削減できる。加えて、上記各構成のシフトレジスタが使用されているので、レベルシフトの駆動能力が低い場合であっても、何ら支障なく、レベルシフト後のクロック信号を各フリップフロップへ印加できる。この結果、消費電力が少なく、かつ、表示面積の広い画像表示装置を実現できる。

【0041】加えて、上述の各構成の画像表示装置において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、600度以下のプロセス温度で製造されたスイッチング素子を含んでいる方が望ましい。

【0042】当該構成によれば、スイッチング素子のプロセス温度が600度以下に設定されるので、各スイッチング素子の基板として、通常のガラス基板（歪み点が600度以下のガラス基板）を使用しても、歪み点以上のプロセスに起因するソリやタワミが発生しない。この結果、実装がさらに容易で、より表示面積の広い画像表示装置を実現できる。

【0043】

【発明の実施の形態】（第1の実施形態）本発明の一実施形態について図1ないし図7に基づいて説明すると以下の通りである。なお、本発明は、入力されるクロック信号の振幅が駆動電圧よりも小さなシフトレジスタに広く適用できるが、以下では、好適な一例として、画像表示装置に適用した場合について説明する。

【0044】すなわち、図2に示すように、本実施形態に係る画像表示装置1は、マトリクス状に配された画素PIXを有する表示部2と、各画素PIXを駆動するデータ信号線駆動回路3および走査信号線駆動回路4とを備えており、制御回路5が各画素PIXの表示状態を示す映像信号DATを生成すると、当該映像信号DATに基づいて画像を表示できる。

【0045】上記表示部2および両駆動回路3・4は、

製造時の手間と、配線容量とを削減するために、同一基板上に設けられている。また、より多くの画素PIXを集積し、表示面積を拡大するために、上記各回路2～4は、ガラス基板上に形成された多結晶シリコン薄膜トランジスタから構成されている。さらに、通常のガラス基板（歪み点が600度以下のガラス基板）を用いても、歪み点以上のプロセスに起因するソリやタワミが発生しないように、上記多結晶薄膜シリコントランジスタは、600度以下のプロセス温度で製造される。

【0046】ここで、上記表示部2は、1（エル：以下では、参照の便宜上、大文字のLを使用する）本のデータ信号線SL1～SLLと、各データ信号線SL1～SLLにそれぞれ交差するm本の走査信号線GL1～GLmとを備えている。L以下の任意の正整数をi、m以下の任意の正整数をjとすると、データ信号線SLiと走査信号線GLjとの組み合わせ毎に、画素PIX(i,j)が設けられており、各画素PIX(i,j)は、隣接する2本のデータ信号線SLi・SLi+1、および、隣接する2本の走査信号線GLj・GLj+1で包囲された部分に配される。

【0047】一方、上記画素PIX(i,j)は、例えば、図3に示すように、ゲートが走査信号線GLjへ、ドレインがデータ信号線SLiに接続された電界効果トランジスタ（スイッチング素子）SWと、当該電界効果トランジスタSWのソースに、一方電極が接続された画素容量CPとを備えている。また、画素容量CPの他端は、全画素PIXに共通の共通電極線に接続されている。上記画素容量CPは、液晶容量CLと、必要に応じて付加される補助容量CSとから構成されている。

【0048】上記画素PIX(i,j)において、走査信号線GLjが選択されると、電界効果トランジスタSWが導通し、データ信号線SLiに印加された電圧が画素容量CPへ印加される。一方、当該走査信号線GLjの選択期間が終了して、電界効果トランジスタSWが遮断されている間、画素容量CPは、遮断時の電圧を保持し続ける。ここで、液晶の透過率あるいは反射率は、液晶容量CLに印加される電圧によって変化する。したがって、走査信号線GLjを選択し、データ信号線SLiへ映像データに応じた電圧を印加すれば、当該画素PIX(i,j)の表示状態を、映像データを合わせて変化させることができる。

【0049】図2に示す画像表示装置1では、走査信号線駆動回路4が走査信号線GLを選択し、選択中の走査信号線GLとデータ信号線SLとの組み合わせに対応する画素PIXへの映像データが、データ信号線駆動回路3によって、それぞれのデータ信号線SLへ出力される。これにより、当該走査信号線GLに接続された画素PIX…へ、それぞれの映像データが書き込まれる。さらに、走査信号線駆動回路4が走査信号線GLを順次選択し、データ信号線駆動回路3が各データ信号線SLへ映像データを出力する。この結果、表示部2の全画素P

I Xに、それぞれの映像データが書き込まれる。

【0050】ここで、上記制御回路5からデータ信号線駆動回路3までの間、各画素PIXへの映像データは、映像信号DATとして、時分割で伝送されており、データ信号線駆動回路3は、タイミング信号となる所定の周期のクロック信号CKSとスタート信号SPSとに基づいたタイミングで、映像信号DATから、各映像データを抽出している。

【0051】具体的には、上記データ信号線駆動回路3は、クロック信号CKSに同期して、開始信号SPSを順次シフトすることによって、所定の間隔ずつタイミングが異なる出力信号S1〜SLを生成するシフトレジスタ3aと、各出力信号S1〜SLが示すタイミングで、映像信号DATをサンプリングして、各データ信号線SL1〜SL_Lへ出力する映像データを映像信号DATから抽出するサンプリング部3bとを備えている。同様に、走査信号線駆動回路4は、クロック信号CKGに同期して、開始信号SPGを順次シフトすることによって、所定の間隔ずつタイミングが異なる走査信号を、各走査信号線GL1〜GL_Mへ出力するシフトレジスタ4aを備えている。

【0052】ここで、本実施形態に係る画像表示装置1では、表示部2および両駆動回路3・4が多結晶シリコン薄膜トランジスタで形成されており、これらの回路2〜4の駆動電圧VCCは、例えば、15[V]程度に設定されている。一方、制御回路5は、上記各回路2〜4とは異なる基板上に、単結晶シリコントランジスタで形成されており、駆動電圧は、例えば、5[V]あるいは、それ以下の電圧など、上記駆動電圧VCCよりも低い値に設定されている。なお、上記各回路2〜4と、制御回路5とは、互いに異なる基板に形成されているが、両者間で伝送される信号の数は、上記各回路2〜4間の信号の数よりも大幅に少なく、例えば、映像信号DATや、各開始信号SPS（SPG）あるいはクロック信号CKS（CKG）程度である。また、制御回路5は、単結晶シリコントランジスタで形成されているので十分な駆動能力を確保しやすい。したがって、互いに異なる基板上に形成しても、製造時の手間や配線容量あるいは消費電力の増加は、問題とならない程度に抑えられている。

【0053】ここで、本実施形態では、上記シフトレジスタ3a・4aの少なくとも一方は、図1に示すシフトレジスタ11が使用されている。なお、以下では、いずれのシフトレジスタとして使用する場合も含むように、上記各開始信号SPS（SPG）をSPと称し、シフトレジスタ1の段数L（m）をnで参照し、出力信号をS1〜Snと称する。

【0054】具体的には、上記シフトレジスタ11には、n段のセット・リセット・フリップフロップ（SRフリップフロップ）F1(i)…を含み、上記駆動電圧VC

5から供給され、駆動電圧VCCよりも振幅が小さなクロック信号CKを昇圧して、各SRフリップフロップF1(i)…へ印加するレベルシフト13(i)…を含んでいる。

【0055】本実施形態では、各レベルシフト13(i)…は、各SRフリップフロップF1(i)…と1対1に対応するように設けられており、後述するように、クロック信号CKの振幅が上記駆動電圧VCCよりも小さい場合でも、何ら支障なく昇圧できるように、電流駆動型のレベルシフトとして構成されている。また、n以下で1以上の整数をiとすると、各レベルシフト13(i)は、制御信号ENAiが動作を指示している間、クロック信号CK、および、その反転信号CKバーに基づいて、対応するSRフリップフロップF1(i)へ昇圧後のクロック信号CKiを印加できる。さらに、制御信号ENAが動作停止を指示している間、動作を停止して、対応するSRフリップフロップF1(i)へのクロック信号CKiの印加を阻止できると共に、動作停止中、後述する入力スイッチング素子を遮断して、貫通電流に起因するレベルシフト13(i)の電力消費を削減できる。

【0056】一方、上記フリップフロップ部12は、1クロック周期幅の開始信号SPをクロック信号CKの各エッジ（立ち上がり、および、立ち下がり）毎に、次段へ伝送できるように構成されている。具体的には、各レベルシフト13(i)の出力は、インバータI1(i)を介し、負論理のセット信号Sバーとして、SRフリップフロップF1(i)へ印加される。また、各SRフリップフロップF1(i)の出力Qは、シフトレジスタ11の出力Siとして出力されると共に、次段のレベルシフト13(i+1)へ制御信号ENAi+1として印加される。なお、最前段のレベルシフト13(1)には、制御信号ENA1として、図1に示す制御回路5からの開始信号SPが昇圧された後、印加されている。さらに、各SRフリップフロップF1(i)には、後段のSRフリップフロップF1へのセット信号のうち、伝送するパルスのパルス幅だけ遅れた信号がリセット信号Rとして印加される。本実施形態では、1クロック周期幅のパルスを伝送するので、1クロック周期遅れた信号、すなわち、2段後のSRフリップフロップF1(i+2)へのクロック信号CK(i+2)が、正論理のリセット信号として印加される。

【0057】また、奇数段のSRフリップフロップF1(1)、F1(3)…がクロック信号CKの立ち上がりでセットされるように、奇数段のレベルシフト13(1)…には、クロック信号CKが非反転入力端子に印加され、クロック信号の反転信号CKバーが反転入力端子に印加される。これとは逆に、偶数段のレベルシフト13(2)、13(4)…には、偶数段のSRフリップフロップF1(2)…がクロック信号CKの立ち下がりでセットされるように、クロック信号CKが反転入力端子に印加され、その反転信号CKバーが非反転入力端子に印加される。

【0058】上記構成によれば、図4に示すように、開

始信号SPがパルス入力されている間、最前段のレベルシフタ13(1)が動作して、昇圧した後のクロック信号CK1をSRフリップフロップF1(1)へ印加する。これにより、SRフリップフロップF1(1)は、パルス入力の開始時時点の後、クロック信号CKが最初に立ち上がった時点でセットされ、出力S1をハイレベルへと変化させる。

【0059】上記出力S1は、制御信号ENA2として、2段目のレベルシフタ13(2)へ印加される。これにより、レベルシフタ13(2)は、SRフリップフロップF1(1)がパルス出力している間（制御信号ENA2=S1がハイレベルの間）、クロック信号CK2を出力する。ただし、レベルシフタ13(2)には、クロック信号CKが反転入力端子に印加されているので、レベルシフタ13(2)は、クロック信号CKと極性が逆で、昇圧された信号をクロック信号CK2として出力する。これにより、SRフリップフロップF1(2)は、前段の出力S1がハイレベルになった後、クロック信号CKが最初に立ち下がった時点でセットされ、出力S2をハイレベルへと変化させる。

【0060】各出力信号Siは、次段のレベルシフタ13(i+1)へ、制御信号ENAi+1として印加されているので、2段目以降のSRフリップフロップF1(2)…は、前段の出力S1…よりも、クロック信号CKの1/2周期だけ遅れて、出力S2…を出力する。

【0061】一方、各段のレベルシフタ13(i)には、2段後のレベルシフタ13(i+2)の出力CKi+2がリセット信号Rとして印加される。したがって、各出力Siは、1クロック周期だけ、ハイレベルとなった後、ローレベルへと変化する。これにより、フリップフロップ部12は、1クロック周期幅の開始信号SPをクロック信号CKの各エッジ（立ち上がり、および、立ち下がり）毎に、次段へ伝送できる。

【0062】ここで、各レベルシフタ13(i)は、SRフリップフロップF1(i)毎に設けられているため、SRフリップフロップF1(i)の段数が多い場合であっても、唯一のレベルシフタでクロック信号CKを昇圧した後、全てのフリップフロップへ印加する場合に比べて、互いに対応するレベルシフタとフリップフロップ間の距離を短くできる。したがって、昇圧後のクロック信号CKiの伝送距離を短くできると共に、各レベルシフタ13(i)の負荷容量を削減できる。また、負荷容量が小さいので、例えば、レベルシフタ13(i)が多結晶シリコン薄膜トランジスタから構成されている場合のように、レベルシフタ13(i)の駆動能力を十分に確保することが難しい場合であっても、バッファを設ける必要がない。これらの結果、シフトレジスタ11の消費電力を削減できる。

【0063】また、開始信号SPや、前段の出力Si-1がローレベルの間のように、各SRフリップフロップF

1(i)がクロック信号CKiの入力を必要としない場合、レベルシフタ13(i)が動作を停止している。この状態では、クロック信号CKiが駆動されないため、駆動に必要な電力消費が発生しない。さらに、後述するように、各レベルシフタ13(i)に設けられたレベルシフト部13aへの電力供給自体が停止されると共に、入力スイッチング素子が遮断され、貫通電流を流さない。したがって、電流駆動型のレベルシフタが多数(n個)設けられているにも拘わらず、動作中のレベルシフタ13(i)でのみ、電力が消費される。この結果、シフトレジスタ11の消費電力を大幅に削減できる。

【0064】加えて、本実施形態に係るレベルシフタ13(i)は、SRフリップフロップF1(i)にクロック信号CKiが必要な期間、すなわち、開始信号SPまたは前段の出力Si-1がパルス出力を開始した時点からSRフリップフロップF1(i)がセットされるまでの期間を、開始信号SPまたは前段の出力Si-1のみに基づいて判定している。この結果、開始信号SPまたは前段の出力Si-1を直接印加するだけで、各レベルシフタ13(i)の動作/停止を制御でき、新たな制御信号を作成するための回路を設ける場合に比べて、シフトレジスタ11の回路構成を簡略化できる。

【0065】さらに、本実施形態では、各レベルシフタ13(i)が停止している間、各SRフリップフロップF1(i)へのクロック入力が阻止される。したがって、レベルシフタ13(i)とは別にクロック入力の要否に応じて導通するスイッチを設けなくても、開始信号SPを正しく伝送できる。

【0066】ここで、上記各SRフリップフロップF1では、例えば、図5に示すように、駆動電圧VCCと接地レベルとの間に、P型のMOSトランジスタP1、N型のMOSトランジスタN2およびN3が互いに直列に接続されており、トランジスタP1・N3のゲートには、負論理のセット信号Sバーが印加される。また、トランジスタN2のゲートには、正論理のリセット信号Rが印加される。さらに、互いに接続された上記両トランジスタP1・N2のドレイン電位は、インバータINV1・INV2で、それぞれ反転され、出力信号Qとして出力される。一方、駆動電圧VCCと接地レベルとの間には、さらに、それぞれ直列に接続されたP型のMOSトランジスタP4・P5およびN型のMOSトランジスタN6・N7が設けられている。上記両トランジスタP5・N6のドレインは、上記インバータINV1の入力に接続されていると共に、両トランジスタP5・N6のゲートは、インバータINV1の出力に接続されている。さらに、上記トランジスタP4には、リセット信号Rが印加されると共に、上記トランジスタN7のゲートには、セット信号Sバーが印加される。

【0067】上記SRフリップフロップF1では、図6に示すように、リセット信号Rがインアクティブ（ロー

レベル) の間に、セット信号Sバーがアクティブ(ローレベル) に変化すると、上記トランジスタP1が導通して、インバータINV1の入力をハイレベルに変化させる。これにより、SRフリップフロップF1の出力信号Qは、ハイレベルへと変化する。

【0068】この状態では、リセット信号RおよびインバータINV1の出力によって、トランジスタP4・P5が導通する。また、リセット信号RおよびインバータINV1の出力によって、トランジスタN2・N6が遮断される。これにより、セット信号Sバーがインアクティブに変化しても、インバータINV1の入力は、ハイレベルに維持され、出力信号Qは、ハイレベルのまま保たれる。

【0069】その後、リセット信号Rがアクティブになると、トランジスタP4が遮断され、トランジスタN2が導通する。ここで、セット信号Sバーがインアクティブのままなので、トランジスタP1は、遮断され、トランジスタN3が導通する。したがって、インバータINV1の入力がローレベルに駆動され、出力信号Qがローレベルへと変化する。

【0070】一方、本実施形態に係るレベルシフタ13は、例えば、図7に示すように、クロック信号CKをレベルシフトするレベルシフト部13aと、クロック信号CKの供給が不要な停止期間に、レベルシフト部13aへの電力供給を遮断する電力供給制御部13bと、停止期間中、レベルシフト部13aとクロック信号CKが伝送される信号線とを遮断する入力制御部(スイッチ)13cと、停止期間中、上記レベルシフト部13aの入力スイッチング素子を遮断する入力スイッチング素子遮断制御部(入力信号制御部)13dと、停止期間中、レベルシフト部13aの出力を所定の値に維持する出力安定部(出力安定手段)13eとを備えている。

【0071】上記レベルシフト部13aは、入力段の差動入力対として、ソースが互いに接続されたP型のMOSトランジスタP11・P12と、両トランジスタP11・P12のソースへ所定の電流を供給する定電流源Icと、カレントミラー回路を構成し、両トランジスタP11・P12の能動負荷となるN型のMOSトランジスタN13・N14と、差動入力対の出力を増幅するCMOS構造のトランジスタP15・N16とを備えている。

【0072】上記トランジスタP11のゲートには、後述するトランジスタN31を介して、クロック信号CKが入力され、トランジスタP12のゲートには、後述するトランジスタN33を介して、クロック信号の反転信号CKバーが入力される。また、トランジスタN13・N14のゲートは、互いに接続され、さらに、上記トランジスタP11・N13のドレインに接続されている。一方、互いに接続されたトランジスタP12・N14のドレインは、上記トランジスタP15・N16のゲート

に接続される。なお、トランジスタN13・N14のソースは、上記電力供給制御部13bとしてのN型のMOSトランジスタN21を介して接地される。

【0073】一方、上記トランジスタP11側の入力制御部13cでは、クロック信号CKと上記トランジスタP11のゲートとの間に、N型のMOSトランジスタN31が設けられている。また、トランジスタP11側の入力スイッチング素子遮断制御部13dでは、トランジスタP11のゲートと駆動電圧VCCとの間に、P型のMOSトランジスタP32が設けられている。同様に、トランジスタP12のゲートには、入力制御部13cとしてのトランジスタN33を介して、クロック信号の反転信号CKバーが印加され、入力スイッチング素子遮断制御部13dとしてのトランジスタP34を介して、駆動電圧VCCが与えられる。

【0074】また、上記出力安定部13eは、停止期間におけるレベルシフタ13の出力電圧OUTを、接地レベルに安定させる構成であり、駆動電圧VCCと上記両トランジスタP15・N16のゲートとの間に、P型のMOSトランジスタP41を備えている。

【0075】なお、本実施形態では、制御信号ENAは、ハイレベルの場合、レベルシフタ13の動作を示すように設定されている。したがって、上記各トランジスタN21~P41のゲートには、制御信号ENAが印加される。

【0076】上記構成のレベルシフタ13では、制御信号ENAが動作を示している場合(ハイレベルの場合)、トランジスタN21・N31・N33が導通し、トランジスタP32・P34・P41が遮断される。この状態では、定電流源Icの電流は、トランジスタP11およびN13、あるいは、トランジスタP12およびN14を介した後、さらに、トランジスタN21を介して流れる。また、両トランジスタP11・P12のゲートには、クロック信号CK、あるいは、クロック信号の反転信号CKバーが印加される。この結果、両トランジスタP11・P12には、それぞれのゲート-ソース間電圧の比率に応じた量の電圧が流れる。一方、トランジスタN13・N14は、能動負荷として働くので、トランジスタP12・N14の接続点の電圧は、両CK・CKバーの電圧レベルの差に応じた電圧となる。当該電圧は、CMOSのトランジスタP15・N16のゲート電圧となり、両トランジスタP15・N16で電力増幅された後、出力電圧OUTとして出力される。

【0077】上記レベルシフタ13は、クロック信号CKによって、入力段のトランジスタP11・P12の導通/遮断を切り換える構成、すなわち、電圧駆動型とは異なり、動作中、入力段のトランジスタP11・P12が常時導通する電流駆動型であり、両トランジスタP11・P12のゲート-ソース間電圧の比率に応じて、定電流源Icの電流を分流することによって、クロック信

号CKをレベルシフトする。これにより、クロック信号CKの振幅が入力段のトランジスタP11・P12のしきい値よりも低い場合であっても、何ら支障なく、クロック信号CKをレベルシフトできる。

【0078】この結果、各レベルシフト13(i)は、図4に示すように、それぞれに対応する制御信号ENAiがハイレベルの間、クロック信号CKiとして、波高値が駆動電圧VCCよりも低い値（例えば、5[V]程度）のクロック信号CKと同一形状で、波高値が駆動電圧VCC（例えば、15[V]程度）に昇圧された出力電圧OUTを出力できる。

【0079】これとは逆に、制御信号ENAiが動作停止を示している場合（ローレベルの場合）、定電流源Icから、トランジスタP11およびN13、あるいは、トランジスタP12およびN14を介して流れる電流は、トランジスタN21によって遮断される。この状態では、定電流源Icからの電流供給がトランジスタN21にて阻止されるため、当該電流に起因する消費電力を削減できる。また、この状態では、両トランジスタP11・P12へ電流が供給されないため、両トランジスタP11・P12は、差動入力対として動作することができず、出力端、すなわち、両トランジスタP12・N14の接続点の電位を決定できなくなる。

【0080】さらに、この状態では、各入力制御部13cのトランジスタN31・N33が遮断される。これにより、クロック信号CK（CKバー）を伝送する信号線と、入力段の両トランジスタP11・P12のゲートとが切り離され、当該信号線の負荷容量となるゲート容量は、動作中のレベルシフト13のものに限定される。この結果、当該信号線に複数のレベルシフト13(i)が接続されているにも拘わらず、信号線の負荷容量を削減でき、図2に示す制御回路5のように、クロック信号CK（CKバー）を駆動する回路の消費電力を削減できる。

【0081】また、停止中は、各入力スイッチング素子遮断制御部13dのトランジスタP32・P34が導通するので、上記両トランジスタP11・P12のゲート電圧は、いずれも駆動電圧VCCとなり、両トランジスタP11・P12が遮断される。これにより、トランジスタN21を遮断する場合と同様に、定電流源Icが出力する電流分だけ、消費電流を低減できる。なお、この状態では、両トランジスタP11・P12は、差動入力対として動作することができないので、上記出力端の電位を決定できない。

【0082】加えて、制御信号ENAが動作停止を示している場合には、さらに、出力安定部13eのトランジスタP41が導通する。この結果、上記出力端、すなわち、CMOSのトランジスタP15・N16のゲート電位は、駆動電圧VCCとなり、出力電圧OUTがローレベルとなる。これにより、図4に示すように、制御信号E

NAiが動作停止を示している場合、レベルシフト13(i)の出力電圧OUT（CKi）は、クロック信号CKに拘わらず、ローレベルのまま保たれる。この結果、レベルシフト13(i)の停止中における出力電圧OUTが不定の場合とは異なり、SRフリップフロップF1(i)の誤動作を防止でき、安定して動作可能なシフトレジスタ11を実現できる。

【0083】（第2の実施形態）本実施形態では、第1の実施形態とは異なり、シフトレジスタが複数段のDフリップフロップから構成される場合について、図8ないし図14に基づいて説明する。なお、以降の各実施形態では、説明の便宜上、先の実施形態と同様の機能を有する部材には、同じ参照符号を付して説明を省略する。

【0084】すなわち、図8に示すように、本実施形態に係るシフトレジスタ21は、複数段のDフリップフロップF2(1)…からなるフリップフロップ部22と、各DフリップフロップF2(1)毎に設けられ、図1に示すレベルシフト13(1)…と同様の構成のレベルシフト23(1)…とを備えている。

【0085】上記各DフリップフロップF2(i)は、クロック信号CKiがハイレベルの期間、入力Dに応じて出力Qを変化させ、ローレベルの間、出力Qを維持するDフリップフロップであって、各DフリップフロップF2(i)の出力Qは、出力Siとして出力されると共に、次段のDフリップフロップF2(i+1)へ入力される。なお、最前段のDフリップフロップF2(1)には、開始信号SPが入力される。

【0086】また、図1と同様に、奇数段のレベルシフト23(1)…は、動作中、昇圧したクロック信号CKをクロック信号CK1…として出力すると共に、偶数段のレベルシフト23(2)…は、動作中、クロック信号CKとは逆極性で昇圧された信号CK2…を出力する。なお、偶数奇数に拘わらず、DフリップフロップF2(i)には、対応するクロック信号CKiと、インバータI2(i)で生成されたクロック信号CKiの反転信号とが、それぞれ印加される。

【0087】ここで、DフリップフロップF2(i)の出力Siは、クロック信号CKiが立ち上がるまで変化しないため、図1に示すSRフリップフロップF1(i)とは異なり、出力Siの立ち上がり時点だけではなく、立ち下がり時点にもクロック信号CKiを必要とする。したがって、本実施形態では、各レベルシフト23(i)の入力と出力との論理和を演算するOR回路G1(i)が設けられており、演算結果を対応するレベルシフト23(i)への制御信号ENAiとして出力している。

【0088】上記構成において、図9に示すように、開始信号SPがパルス入力されると、制御信号ENAがハイレベルへと変化して、DフリップフロップF2(1)へ、昇圧後のクロック信号CK1が入力される。この結果、開始信号SPがパルス入力された後、次のクロック

信号CK1の立ち上がり時点において、DフリップフロップF2(i)の出力S1は、ハイレベルへと変化し、クロック信号CK1がローレベルの間は、開始信号SPがローレベルへと変化しても、ハイレベルのまま保たれる。

【0089】開始信号SPがローレベルへと変化した後、最初にクロック信号CK1が立ち上がった時点で、DフリップフロップF2(i)の出力S1は、ローレベルへと変化する。さらに、この状態では、開始信号SPおよび出力S1が共にローレベルなので、OR回路G1(i)は、制御信号ENA1をローレベルへと変化させ、レベルシフタ23(i)を停止させる。

【0090】ここで、各DフリップフロップF2(i)の出力Siは、次段のDフリップフロップF2(i+1)へ入力され、隣接するDフリップフロップF2(i)・F2(i+1)には、互いに逆相のクロック信号CKi・CKi+1が入力される。この結果、フリップフロップ部22は、開始信号SPをクロック信号CKの各エッジ（立ち上がり、および、立ち下がり）毎に、次段へ伝送できる。

【0091】上記構成では、各レベルシフタ23(i)は、対応するDフリップフロップF2(i)がクロック信号CKiの入力を必要としている間、すなわち、DフリップフロップF2(i)へパルス入力開始されてから、DフリップフロップF2(i)がパルス出力を終了するまでの期間、動作し、残余の期間は、動作を停止できる。この結果、第1の実施形態と同様に、駆動電圧VCCよりも小さな振幅のクロック信号CKで動作可能で、しかも、消費電力の少ないシフトレジスタ21を実現できる。

【0092】さらに、本実施形態に係るフリップフロップ部22は、第1の実施形態とは異なり、入力Dとクロック信号CKとに基づいて、出力Qを変化させるDフリップフロップで構成されているので、開始信号SPのパルス幅（クロック数）が変化しても、何ら支障なく、開始信号SPを伝送できる。

【0093】例えば、図2に示すサンプリング部3bでは、映像信号DATをサンプリングするサンプリングトランジスタの駆動能力が低い場合には、より長いサンプリング期間が必要となり、より長いパルス幅（時間）の出力S1…Snを必要とする。一方、同じ時間のパルス幅であっても、クロック信号CKの周波数が高くなるに従って、クロック数が大きくなる。したがって、開始信号SPのパルス幅の最適値は、サンプリングトランジスタの駆動能力とクロック信号CKの周波数とによって変化する。このため、図1に示すシフトレジスタ11のように、出力S1…のパルス幅（クロック数）に応じて、リセット信号Rの接続先を設定する構成の場合、所望のパルス幅（クロック数）毎に異なる回路を設計する必要がある。また、同じデータ信号線駆動回路3を異なる周波数のクロック信号CKで駆動する場合や、異なる表示部2の駆動に流用する場合には、最適なパルス幅を確保で

きず、表示品位を低下させる虞れがある。

【0094】これに対して、本実施形態に係るシフトレジスタ21は、開始信号SPのパルス幅を変更するだけで、所望のパルス幅の出力S1…を出力できる。したがって、設計の手間を削減できると共に、上記の場合でも表示品位が低下しない画像表示装置1を実現できる。

【0095】ただし、図5に示すように、SRフリップフロップF1は、後述の図10に示すDフリップフロップF2に比べて、少ない素子で実現でき、素子の動作速度が同一の場合、より高速に動作できる。さらに、前段の出力Si-1で、次段のレベルシフタ13(i)の動作/停止を直接制御できるので、上記OR回路G1(i)が不要である。この結果、最適なパルス幅（クロック数）が予め決定でき、高速で回路規模の小さなシフトレジスタが要求される場合には、SRフリップフロップF1を使用する方が好ましい。

【0096】ここで、上記各DフリップフロップF2では、例えば、図10に示すように、駆動電圧VCCと接地レベルとの間に、P型のMOSトランジスタP51・P52、並びに、N型のMOSトランジスタN53・N54が互いに直列に接続されている。上記トランジスタP52・N53のゲートには、入力信号Dが印加され、互いに接続された両トランジスタP52・N53のドレイン電位は、インバータINV51で反転された後、出力Qとして出力される。一方、駆動電圧VCCと接地レベルとの間には、さらに、それぞれ直列に接続されたP型のMOSトランジスタP55・P56、並びに、N型のMOSトランジスタN57・N58が設けられている。上記両トランジスタP56・N57のドレインは、インバータINV51の入力に接続され、それぞれのゲートは、インバータINV51の出力に接続されている。さらに、上記トランジスタP51・N58のゲートには、クロック信号の反転信号CKバーが印加され、トランジスタN54・P55のゲートには、クロック信号CKが印加される。

【0097】上記構成のDフリップフロップF2では、クロック信号CKがハイレベルの間、トランジスタP51・N54が導通し、トランジスタP55・N58が遮断される。これにより、入力Dは、トランジスタP52・N53で反転された後、インバータINV51で反転される。この結果、出力Qは、入力Dと同じ値に変化する。これとは逆に、クロック信号CKがローレベルの間、トランジスタP51・N54が遮断されるので、トランジスタP52・N53は、入力Dを反転できない。また、この状態では、トランジスタP55・N58が導通して、インバータINV51の出力が入力に帰還される。この結果、クロック信号CKがローレベルの間、出力Qは、入力Dがハイレベルであっても、クロック信号CKの立ち下がり時点と同じ値に保たれる。したがって、図11に示すように、DフリップフロップF2の出

力Qは、入力Dが変化した後、最初に、クロック信号CKが立ち上がった時点で、入力Dに追従して変化する。

【0098】一方、上記各OR回路G1には、例えば、図12に示すように、各入力IN(1)…に対応するP型のMOSトランジスタP61(1)…からなる直列回路と、各入力IN(1)…に対応するN型のMOSトランジスタN62(1)…からなる並列回路と、P型のMOSトランジスタP63およびN型のMOSトランジスタN64からなるCMOSインバータとが設けられている。ここで、上記OR回路G1は、2入力のOR回路なので、トランジスタP61・N62は、それぞれ2つずつ設けられ、トランジスタP61(1)・N62(1)のゲートには、入力IN(1)が印加され、トランジスタP62(2)・N62(2)のゲートには、入力IN(2)が印加される。また、上記直列回路と並列回路とは、互いに直列に接続され、駆動電圧VCCと接地レベルとの間に配される。さらに、上記直列回路と並列回路との接続点は、CMOSインバータの入力端、すなわち、上記両トランジスタP63・N64のゲートに接続される。これにより、OR回路G1は、上記CMOSインバータの出力端となるトランジスタP63・N64のドレインから、入力IN(1)・IN(2)の論理和を出力できる。

【0099】ところで、図8では、各DフリップフロップF2(i)の入出力を論理和して、レベルシフト23(i)へ動作/停止を指示するOR回路G1(i)が設けられているが、各レベルシフト自体が、DフリップフロップF2(i)の入出力を論理和して動作/停止を判断できれば、OR回路G1(i)を省略できる。

【0100】具体的には、図13に示すように、本変形例に係るシフトレジスタ21aでは、レベルシフト23(i)に代えて、制御信号ENA1・ENA2のいずれかがアクティブ（真）の場合に動作するレベルシフト24(i)が設けられている。これに伴い、図8に示すOR回路G1(i)が省略され、DフリップフロップF2(i)の入出力が制御信号ENA1・ENA2として、互に対応するレベルシフト24(i)に直接入力されている。

【0101】上記レベルシフト24は、例えば、図14に示すように、図7に示すレベルシフト13と略同様の構成であるが、当該レベルシフト13とは異なり、電力供給制御部24b～出力安定部24eにおいて、制御信号ENA1・ENA2に対応して、同数（この場合は2個）の各トランジスタN21～P41が設けられている。具体的には、電力供給制御部24bにおいて、トランジスタN21(1)・N21(2)が互いに並列に接続されている。同様に、トランジスタP11に対応する入力制御部24cでは、トランジスタN31(1)・N31(2)が、トランジスタP12に対応する入力制御部24cでは、トランジスタN33(1)・N33(2)が、それぞれ互いに並列に接続されている。一方、出力安定部24eでは、トランジスタP41(1)・P41(2)が互いに直列に

接続され、各入力スイッチング素子遮断制御部24dは、互いに直列に接続されたトランジスタP32(1)・P32(2)、あるいは、互いに直列に接続されたトランジスタP34(1)・P34(2)から構成される。また、本実施形態では、シフトレジスタ21aがハイレベルのバルス信号を伝送するので、上記各トランジスタN21(1)～P41(2)のうち、制御信号ENA1に対応する方（添字が(1)のもの）のゲートには、制御信号ENA1が印加され、制御信号ENA2に対応する方（添字が(2)のもの）のゲートには、対応する制御信号ENA2が印加される。

【0102】上記構成によれば、制御信号ENA1またはENA2の少なくとも一方がハイレベルの場合、トランジスタN21(1)・N21(2)のいずれかと、トランジスタN31(1)・N31(2)のいずれかと、トランジスタN33(1)・N33(2)のいずれかとが導通する。また、トランジスタP32(1)・P32(2)のいずれかと、トランジスタP34(1)・P34(2)のいずれかと、トランジスタP41(1)・P41(2)のいずれかとが遮断される。この結果、上記レベルシフト13と同様に、レベルシフト24が動作する。これとは逆に、制御信号ENA1およびENA2のいずれもがローレベルの場合、N型のトランジスタN21(1)～N34(2)全てが遮断され、P型のトランジスタP31(1)～P41(2)全てが導通するので、上記レベルシフト13と同様に、レベルシフト24が動作を停止する。この結果、図8に示すレベルシフト23(i)と同様に、レベルシフト24(i)は、対応するDフリップフロップF2(i)の入出力に応じて、動作/停止でき、同様の効果を得ることができる。

【0103】（第3の実施形態）ところで、上記第1および第2の実施形態では、フリップフロップ毎にレベルシフトを設けているが、回路規模の削減が強く要求される場合には、以下の各実施形態に示すように、複数のフリップフロップ毎にレベルシフトを設けてもよい。本実施形態では、図15ないし図19を参照して、複数のSRフリップフロップ毎に、レベルシフトが設けられている場合について説明する。

【0104】すなわち、本実施形態に係るシフトレジスタ11aでは、図15に示すように、N個のSRフリップフロップF1は、K個のSRフリップフロップF1毎に分けられ、複数のブロックB1～BPに分割されている。さらに、レベルシフト13は、各ブロックB毎に設けられている。なお、以下では、説明の便宜上、P以下で1以上の整数をi、K以下で1以上の整数をjとすると、i番目のブロックBiにおいて、j番目のSRフリップフロップF1を、F1(i,j)のように参照する。

【0105】さらに、本実施形態では、各ブロックBi毎に、レベルシフト13(i)へ制御信号ENAiを指示するOR回路G2(i)が設けられている。当該OR回路G2(i)は、当該ブロックBiへの入力信号と、当該ブロッ

ク B_i 内の最終段を除く SR フリップフロップ $F_1(i, 1) \dots F_1(i, (K-1))$ の各出力信号との論理和を算出し、上記レベルシフタ 13(i) へ出力する K 入力の OR 回路である。ここで、ブロック B_i への入力信号は、最前段のブロック B_1 では、開始信号 SP であり、2 段目以降のブロック B_i では、前段のブロック B_{i-1} の出力信号である。上記 OR 回路 G_2 は、例えば、図 16 に示すように、図 12 に示す OR 回路 G_1 において、トランジスタ P_{61} の個数とトランジスタ N_{62} の個数とを inputs の数（この場合は、K 個）に増加させた回路によって実現できる。

【0106】これにより、図 17 に示すように、当該ブロック B_i へのパルス入力開始された時点から、最終段より 1 つ前の SR フリップフロップ $F_1(i, (K-1))$ の出力 $S_{i, (K-1)}$ のパルス出力が終了する時点まで、レベルシフタ 13(i) への制御信号 EN_{Ai} がハイレベルとなる。この結果、レベルシフタ 13(i) は、少なくとも、当該ブロック B_i 内の SR フリップフロップ $F_1(i, 1) \dots F_1(i, K)$ のいずれかがクロック信号 CK_i の入力が必要とする間、すなわち、上記パルス入力開始された時点から、最終段の SR フリップフロップ $F_1(i, K)$ がセットされた時点までの間、クロック信号 CK_i を出力できると共に、上記 SR フリップフロップ $F_1(i, K)$ がセットされた後、SR フリップフロップ $F_1(i, (K-1))$ の出力 $S_{i, (K-1)}$ のパルス出力が終了した時点で動作を停止できる。

【0107】ここで、本実施形態では、レベルシフタ 13(i) は、当該ブロック B_i の SR フリップフロップ $F_1(i, j)$ うち、いずれかがクロック入力が必要としている場合、クロック信号 CK_i を出力し続けるため、各 SR フリップフロップ $F_1(i, j)$ へクロック信号 CK_i を、そのまま供給すると、図 17 中、破線で示すように、SR フリップフロップ $F_1(i, j)$ がリセットされた後、再び、SR フリップフロップ $F_1(i, j)$ がセットされるので、開始信号 SP の 1 パルスから複数のパルスが生成されてしまう。したがって、図 15 に示すように、上記シフトレジスタ 11a には、レベルシフタ 13(i) と各 SR フリップフロップ $F_1(i, j)$ との間に、スイッチ $SW_{i, j}$ が設けられており、前段の SR フリップフロップ $F_1(i, (j-1))$ がパルス出力している間のみ、クロック信号 CK_i を SR フリップフロップ $F_1(i, j)$ へ印加している。また、上記スイッチ $SW_{i, j}$ が遮断されている間、各 SR フリップフロップ $F_1(i, j)$ へのセット入力を阻止するために、各 SR フリップフロップ $F_1(i, j)$ の負論理のセット端子 S バーには、P 型の MOS トランジスタ $P_{i, j}$ を介して駆動電圧 VCC が印加されている。シフトレジスタ 11a の最前段では、トランジスタ $P_{1, 1}$ のゲートには、開始信号 SP が印加され、残余の段のトランジスタ $P_{i, j}$ のゲートには、前段の SR フリップフロップ $F_1(i, j-1)$ の出力 $S_{i, j-1}$ が印加される。これによ

り、スイッチ $SW_{i, j}$ が遮断されている間、トランジスタ $P_{i, j}$ が導通して、上記セット端子 S バーが所定の電位（この場合は、駆動電圧 VCC ）に固定され、セット入力が阻止される。これらの結果、上記開始信号 SP は、何ら支障なく、伝送される。なお、例えば、最終段の SR フリップフロップ $F_1(i, K)$ など、リセットされた後には、クロック信号 CK_i が供給されない SR フリップフロップ F_1 では、上記スイッチ SW を介さず、直接、クロック信号 CK_i を入力してもよい。

【0108】上記構成では、第 1 の実施形態に示すように、各 SR フリップフロップ F_1 毎にレベルシフタ 13 を設ける場合に比べれば、レベルシフタ 13 と SR フリップフロップ F_1 との距離は長くなるが、単一のレベルシフタから全ての SR フリップフロップへクロック信号 CK を供給する従来技術に比べれば、両者間の距離を短縮でき、バッファを削減できるので、第 1 の実施形態と略同様に、消費電力の少ないシフトレジスタ 11a を実現できる。

【0109】ここで、ブロック B に含まれる SR フリップフロップ F_1 の数を増加させると、シフトレジスタ 11a に含まれるレベルシフタ 13 の数を削減できるので、回路構成を簡略化できる。一方、SR フリップフロップ F_1 の数を増加させ過ぎると、レベルシフタ 13 の駆動能力が不足して、バッファが必要になるので、消費電力が増大してしまう。したがって、余り消費電力を増加させずに、回路規模の削減が要求される場合にはバッファを設けずに、レベルシフタ 13(i) がクロック信号 $CK(i)$ を供給できる範囲内に、各ブロック B 内の SR フリップフロップ F_1 の数を設定する方が望ましい。

【0110】なお、上記実施形態では、OR 回路 G_2 でレベルシフタ 13 の動作/停止を制御する場合を例にして説明したが、図 13 に示すレベルシフタ 24 と同様、図 18 に示すように、レベルシフタ 14 自体が OR 回路 G_2 への各入力信号に基づいて、動作/停止を決定してもよい。当該レベルシフタ 14 は、例えば、図 19 に示すように、図 14 に示すレベルシフタ 24 において、入力と同数（この場合は、K 個）だけ、各トランジスタ $N_{21} \sim P_{41}$ を設けた回路で実現できる。

【0111】（第 4 の実施形態）以下では、図 20 ないし図 24 を参照して、複数の D フリップフロップ毎に、レベルシフタが設けられている場合について説明する。すなわち、図 20 に示すように、本実施形態に係るシフトレジスタ 21b は、図 8 に示すシフトレジスタ 21 に類似しているが、N 個の D フリップフロップ F_2 が K 個の D フリップフロップ F_2 毎に分けられ、複数のブロック $B_1 \sim B_P$ に分割されている。さらに、レベルシフタ 23 は、各ブロック B 毎に設けられている。

【0112】さらに、本実施形態では、各ブロック B_i 毎に、レベルシフタ 23(i) へ制御信号 EN_{Ai} を指示する OR 回路 $G_3(i)$ が設けられている。当該 OR 回路 G

3iは、(K+1) 入力のOR回路であり、当該ブロックBi内のDフリップフロップF2(i,1)…F2(i,K)の各入出力の論理和を算出して、上記レベルシフト23(i)へ出力する。ここで、最前段のDフリップフロップF2(i,1)への入力信号は、最前段のブロックB1では、開始信号SPであり、2段目以降のブロックBiでは、前段のブロックBi-1の出力信号である。上記OR回路G3は、例えば、図21に示すように、図12に示すOR回路G1において、トランジスタP61の個数とトランジスタN62の個数とを入力の数（この場合は、K+1個）に増加させた回路によって実現できる。

【0113】これにより、図22に示すように、当該ブロックBi内のDフリップフロップF2(i,1)…F2(i,K)のいずれかがクロック信号CKiの入力を必要とする間、すなわち、当該ブロックBiへのパルス入力が増加された時点から最終段のDフリップフロップF2(i,K)がパルス出力を終了する時点までの期間、レベルシフト23(i)への制御信号ENAiがハイレベルとなり、レベルシフト23(i)は、クロック信号CKiを出力できる。また、残余の期間は、制御信号ENAiがローレベルになるので、レベルシフト23(i)は、動作を停止できる。

【0114】上記構成では、第2の実施形態に示すシフトレジスタ21のように、各DフリップフロップF2毎にレベルシフト23を設ける場合に比べれば、レベルシフト23とDフリップフロップF2との距離は長くなるが、単一のレベルシフトから全てのDフリップフロップへクロック信号CKを供給する従来技術に比べれば、両者間の距離を短縮でき、バッファを削減できるので、第2の実施形態と略同様に、消費電力の少ないシフトレジスタ21bを実現できる。

【0115】さらに、第3の実施形態と同様に、本実施形態では、上記シフトレジスタ21よりも、レベルシフト23の数を削減できる。さらに、余り消費電力を増加させずに、回路規模の削減が要求される場合には、バッファを設けずにレベルシフト23(i)がクロック信号CKiを供給できる範囲内に、各ブロックBi内のDフリップフロップF2の数を設定する方が望ましい。

【0116】また、図20では、OR回路G3でレベルシフト23の動作/停止を制御する場合を例にして説明したが、図18に示すシフトレジスタ11bと同様、図23に示すシフトレジスタ21cのように、レベルシフト25自体がOR回路G3への各入力信号に基づいて、動作/停止を制御してもよい。当該レベルシフト25は、例えば、図24に示すように、図19に示すレベルシフト14において、入力と同数（この場合は、K+1個）だけ、各トランジスタN21～P41を設けた回路で実現できる。

【0117】（第5の実施形態）ところで、上記第3（第4）の実施形態では、レベルシフトあるいはOR回

路がK、(K+1) 個の信号を論理和して、レベルシフトの動作/停止を制御する場合について説明した。これに対して、本実施形態では、ラッチ回路を用いて、レベルシフトの動作/停止を制御する場合について、図25～図29を参照しながら説明する。

【0118】具体的には、図25に示すように、本実施形態に係るシフトレジスタ11cでは、図15に示すシフトレジスタ11aのOR回路G2(i)に代えて、ラッチ回路31(i)が設けられている。当該ラッチ回路31は、当該ブロックBiの最前段のSRフリップフロップF1(i,1)へのパルス入力と、最終段のSRフリップフロップF1(i,K)のパルス出力とをトリガとして出力を変化させるように構成されており、上記パルス入力が増加された時点から、上記パルス出力が増加された時点までの間、レベルシフト13(i)へ動作を指示できる。

【0119】上記ラッチ回路31は、例えば、最初のブロックB1を例にすると、図26に示すように、負論理のセット信号Sバーとして、インバータ31aで反転された開始信号SPが印加され、正論理のリセット信号Rとして、最終段のSRフリップフロップF1(1,K)の出力S1,Kが印加されるSRフリップフロップ31bを備えている。なお、次段以降のブロックBiでは、開始信号SPに代えて、前段のブロックBi-1の出力が印加される。

【0120】上記構成では、図27に示すように、ラッチ回路31(i)は、最前段のSRフリップフロップF1(i,1)への入力が増加した時点から、出力Si,Kが増加するまでの間、制御信号ENAiをハイレベルに設定する。これにより、レベルシフト13(i)は、当該期間中、クロック信号CKiを供給し続けることができる。また、出力Si,Kが増加すると、制御信号ENAiがローレベルとなり、レベルシフト13(i)が動作を停止する。この結果、第3の実施形態と同様に、従来よりも少ない消費電力のシフトレジスタ11cを実現できる。

【0121】さらに、本実施形態に係るラッチ回路31(i)は、第3の実施形態のOR回路G2(i)（レベルシフト14(i)）のようにK個の信号に基づいてレベルシフト13(i)（14(i)）の動作/停止を判定する場合とは異なり、ブロックBi内のSRフリップフロップF1の段数Kに拘わらず、2つの信号をトリガとして、制御信号ENAiを生成している。したがって、判定に必要な信号を送信する信号線の数を2本に削減できる。ここで、判定用の信号線の数が増加すると、出力Si,jやクロック信号CK・CKiを送信する信号線との交差点が増加して、各信号線の容量が増加する虞れがある。ところが、本実施形態では、判定用の信号線が2本に削減されているので、第3の実施形態よりも判定用の信号線に起因する配線容量の増加を抑制でき、さらに、消費電力の小さなシフトレジスタ11cを実現できる。

【0122】なお、図26では、ラッチ回路31(i)がSRフリップフロップから構成される場合を例にして説明したが、これに限るものではない。2つの信号をトリガにして、レベルシフタ13(i)の動作/停止を制御できれば、上記ラッチ回路31(i)に代えて、例えば、図28に示すラッチ回路32を用いても、同様の効果が得られる。

【0123】上記ラッチ回路32には、2分周器を構成する2つのDフリップフロップ32a・32bと、開始信号SPおよび出力S1,Kの論理和の否定を算出するNOR回路32cと、NOR回路32cの出力を反転するインバータ32dとが設けられている。上記Dフリップフロップ32aの出力Qは、Dフリップフロップ32bを介して、Dフリップフロップ32aへ入力されている。また、Dフリップフロップ32aには、インバータ32dの出力LSETがクロックとして印加され、Dフリップフロップ32bには、NOR回路32cの出力がクロックとして印加される。さらに、Dフリップフロップ32aの出力LOUTが制御信号ENAIとして出力される。この結果、図29に示すように、ラッチ回路32(i)は、上記ラッチ回路31(i)と同様に、最前段のSRフリップフロップF1(i,l)へパルス入力開始から、出力Si,Kの立ち上がり時点まで、ハイレベルの制御信号ENAiを出力して、レベルシフタ13(i)に動作を指示できる。

【0124】なお、本実施形態では、ラッチ回路(31・32)のトリガとして、最前段のSRフリップフロップF1(i,l)へのパルス入力の開始と、最終段のSRフリップフロップF1(i,K)のパルス出力の開始とを用いたが、これに限るものではない。ブロックBi内のSRフリップフロップF1がクロック信号CKiを必要とする期間よりも前のタイミングで制御信号ENAiをアクティブに設定可能な信号と、当該期間の後のタイミングで制御信号ENAiをインアクティブに設定可能な信号とをトリガとすれば、同様の効果が得られる。

【0125】(第6の実施形態)本実施形態では、Dフリップフロップを用いたシフトレジスタにおいて、ラッチ回路でレベルシフタの動作/停止を制御する構成について、図30ないし図34を参照して説明する。

【0126】すなわち、本実施形態に係るシフトレジスタ21dでは、図20に示すシフトレジスタ21bのOR回路G3(i)に代えて、図25に示すラッチ回路31(i)と略同様、最前段のDフリップフロップF2(i,l)へのパルス入力と、最終段のDフリップフロップF2(i,K)のパルス出力とをトリガとするラッチ回路33(i)が設けられている。ただし、上述したように、Dフリップフロップの場合は、最終段のDフリップフロップF2(i,K)がパルス出力を停止するまでの間、クロック信号CKiが必要なので、上記ラッチ回路33(i)は、上記パルス入力開始された時点から、上記パルス出力が停止

された時点までの間、レベルシフタ23(i)へ動作を指示するように構成されている。

【0127】具体的には、上記ラッチ回路33は、最初のブロックB1を例にすると、例えば、図31に示すように、図26に示すラッチ回路31に加えて、出力信号LOUTと、最終段の出力S1,Kとの論理和の否定を算出するNOR回路33cと、算出結果を反転するインバータ33dとを備えている。なお、次段以降のブロックBiでは、開始信号SPに代えて、前段のブロックBi-1の出力が印加される。

【0128】上記構成では、図32に示すように、ラッチ回路33(i)は、最前段のDフリップフロップF2(i,l)への入力が高レベルへと変化した時点から、出力S1,Kがローレベルへと変化するまでの間、制御信号ENAIを高レベルに設定する。これにより、レベルシフタ23(i)は、当該期間中、クロック信号CKiを供給し続けることができる。また、出力S1,Kがローレベルへと変化するすると、制御信号ENAIがローレベルとなり、レベルシフタ23(i)が動作を停止する。この結果、第4の実施形態と同様に、従来よりも少ない消費電力のシフトレジスタ21dを実現できる。

【0129】さらに、本実施形態では、第5の実施形態と同様に、レベルシフタ23の動作/停止の判定に必要な信号線数を削減できるので、第4の実施形態よりも判定用の信号線に起因する配線容量の増加を抑制でき、さらに、消費電力の小さなシフトレジスタ21dを実現できる。

【0130】なお、図31では、ラッチ回路33がSRフリップフロップから構成される場合を例にして説明したが、これに限るものではない。2つの信号をトリガにして、レベルシフタ13の動作/停止を制御できれば、上記ラッチ回路31(i)に代えて、例えば、図33に示すラッチ回路34を用いても、同様の効果が得られる。

【0131】当該ラッチ回路34では、図31に示すNOR回路33cおよびインバータ33dが、図28に示すラッチ回路32に付加されている。この結果、図34に示すように、ラッチ回路34は、上記ラッチ回路33と同様に、ブロックBiの最前段のDフリップフロップF2(i,l)へパルス入力開始された時点から、最終段のDフリップフロップF2(i,K)がパルス出力を終了した時点まで、ハイレベルの制御信号ENAiを出力して、レベルシフタ23(i)に動作を指示できる。

【0132】なお、本実施形態では、ラッチ回路(33~34)のトリガとして、最前段のDフリップフロップF2(i,l)へのパルス入力の開始と、最終段のDフリップフロップF2(i,K)のパルス出力の終了とを用いたが、これに限るものではない。ブロックBi内のDフリップフロップF2がクロック信号CKiを必要とする期間よりも前のタイミングで制御信号ENAiをアクティブに設定可能な信号と、当該期間の後のタイミングで制

御信号 $ENAi$ をインアクティブに設定可能な信号とをトリガとすれば、同様の効果が得られる。

【0133】（第7の実施形態）以下では、図35を参照して、上記第4および第6の実施形態と同様、レベルシフタ23（24、25）が複数のDフリップフロップF2へクロック信号CKを供給するシフトレジスタ21b～21dにおいて、さらに消費電力を削減可能な構成について説明する。

【0134】具体的には、本実施形態に係るシフトレジスタは、上記シフトレジスタ21b～21dと同様の構成であるが、各DフリップフロップF2(i,j)毎にクロック信号制御回路26(i,j)が設けられており、レベルシフタ23(i)（24(i)、25(i)：以下では、23(i)で代表する）は、クロック入力が必要なDフリップフロップF2のみに昇圧後のクロック信号CK(i)を供給している。

【0135】上記クロック信号制御回路26(i,j)は、図35に示すように、クロック信号CKiが伝送される信号線上に設けられたスイッチSW1(i,j)と、クロック信号CKiの反転信号CKiバーの伝送線上に設けられたスイッチSW2(i,j)とを備えている。両スイッチSW1(i,j)・SW2(i,j)は、図8に示すレベルシフタ23(i,j)と同様、DフリップフロップF2(i,j)の入出力の論理和を算出するOR回路G1(i,j)によって制御され、DフリップフロップF2(i,j)がクロック信号CKi（CKiバー）を必要とするときに導通すると共に、クロック入力が必要な場合に遮断される。さらに、クロック信号制御回路26(i,j)には、DフリップフロップF2(i,j)のクロック入力端子と接地電位との間に設けられたN型のMOSトランジスタN71(i,j)と、DフリップフロップF2(i,j)の反転クロック入力端子と駆動電圧VCCとの間に設けられたP型のMOSトランジスタP72(i,j)とが設けられている。上記トランジスタN71(i,j)のゲートには、OR回路G1(i,j)の出力がインバータINV71(i,j)で反転された後で印加されており、上記トランジスタP72(i,j)のゲートには、OR回路G1(i,j)の出力が印加される。

【0136】上記構成では、対応するDフリップフロップF2(i,j)が昇圧後のクロック信号CKi（CKiバー）を必要な期間、上記スイッチSW1(i,j)（SW2(i,j)）が導通して該DフリップフロップF2(i,j)へクロック信号CKi（CKiバー）を印加する。一方、クロック入力が必要な期間には、上記スイッチSW1(i,j)・SW2(i,j)が遮断され、例えば、DフリップフロップF2(i,j)など、両スイッチSW1(i,j)・SW2(i,j)以降の回路と、レベルシフタ23(i)とを切り離す。さらに、クロック入力が必要な期間には、上記両トランジスタN71(i,j)・P72(i,j)が導通して、DフリップフロップF2(i,j)のクロック入力端子および反転入力端子をそれぞれ所定の値（ローレベルおよびハイレベ

ル）に維持するので、上記両入力端子が不定の場合とは異なり、DフリップフロップF2(i,j)の誤動作を抑制できる。

【0137】上記構成によれば、クロック入力が必要な期間中、両スイッチSW1(i,j)・SW2(i,j)以降の回路と、レベルシフタ23(i)とが切り離されるので、レベルシフタ23(i)は、現時点でクロック信号CK(i)を必要とするDフリップフロップF2(i,j)のみを駆動すればよい。したがって、ブロックBi内の全DフリップフロップF2(i,1)～F2(i,K)を駆動する場合に比べて、レベルシフタ23(i)の負荷容量を大幅に削減でき、消費電力を削減できる。この結果、消費電力の小さなシフトレジスタを実現できる。

【0138】なお、上記では、DフリップフロップF2(i,j)毎にクロック信号制御回路26(i,j)が設けられている場合を例にして説明したが、これに限るものではなく、例えば、複数のDフリップフロップF2毎にクロック信号制御回路26を設けてもよい。この場合、両スイッチSW1・SW2は、両スイッチSW1・SW2に接続されるDフリップフロップF2がクロック入力が必要としている間、すなわち、最前段のDフリップフロップF2へのパルス入力開始されてから、最終段のDフリップフロップF2がパルス出力を終了するまでの間、導通できるように、例えば、図20に示すOR回路G3や図30（図33）に示すラッチ回路33（34）と同様の回路によって制御される。この場合は、各DフリップフロップF2毎にクロック信号制御回路26を設ける構成と比較すると、レベルシフタ23（24、25）の負荷容量は大きくなるが、クロック信号制御回路26の数を削減できるので、回路構成を簡略化できる。

【0139】（第8の実施形態）ところで、例えば、図2に示すデータ信号線駆動回路3や走査信号線駆動回路4では、上記各実施形態に係るシフトレジスタ（11・11a～11c・21・21a～21d）の各段の出力が、タイミングを示す信号として、直接使用される場合もあるが、複数段の出力を論理演算した信号がタイミング信号として使用されることもある。

【0140】以下では、第1・第3および第5の実施形態のように、SRフリップフロップF1を用いたシフトレジスタにおいて、複数段の出力を論理演算する場合に好適な構成について、図36および図37を参照しながら説明する。なお、SRフリップフロップF1を用いた構成であれば、他の実施形態にも適用できるが、以下では、第1の実施形態の場合を例にして説明する。

【0141】すなわち、本実施形態に係るシフトレジスタ11dは、図1に示すシフトレジスタ11の構成に加えて、互いに隣接する2つの出力Si・Si+1の論理積を演算し、演算結果をタイミング信号SMPiとして出力するAND回路G4(i)を備えている。さらに、最前段のSRフリップフロップF1(1)の前段には、SRフリ

ップフロップ F 1 (0) が設けられ、当該 SR フリップフロップ F 1 (0) の出力 S0 と、出力 S1 との論理積を算出して出力する AND 回路 G 4 (0) が設けられている。また、SR フリップフロップ F 1 (0) には、負論理のセット信号として、開始信号 S P の反転信号 S P バーが印加されており、上記 SR フリップフロップ F 1 (0) の出力は、次段となるレベルシフタ 1 3 (1) に制御信号 E N A1 として入力される。なお、SR フリップフロップ F 1 (0) は、他段の SR フリップフロップ F 1 (i) と同様に、伝送するパルス信号のパルス幅に応じた段数（この場合は、2 段）だけ後のレベルシフタ 1 3 (2) の出力 C K2 が印加される。

【0142】ここで、各 SR フリップフロップ F 1 (0)、F 1 (i) … の出力 S0、S1 … のうち、出力 S0 のみが、単一の AND 回路 G 4 (0) に接続されており、他の出力 Si は、2 つの AND 回路 G 4 (i-1) ・ G 4 (i) とに接続されている。この結果、SR フリップフロップ F 1 (0) と、残余の SR フリップフロップ F 1 (i) とは、出力負荷が異なり、仮に同じタイミングで駆動したとしても、出力 S0 と残余の出力 S1 … とは、クロック信号 C K に対する遅延時間が互いに異なってしまう。したがって、クロック信号 C K の周波数が高い場合には、遅延時間のズレに起因するタイミングのバラツキを抑えるため、上記 AND 回路 G 4 (0) の出力信号は、後段の回路では使用されないダミー信号 D U M M Y となり、残余の AND 回路 G 4 (i) … の出力 S M P i … のみが、映像信号抽出に使用される。

【0143】上記構成において、SR フリップフロップ F 1 (0) には、他段とは異なり、クロック信号 C K に同期しない反転信号 S P バーが負論理のセット信号として印加されているので、出力 S0 のタイミング（立ち上がりやパルス幅など）は、他の SR フリップフロップ F 1 (i) … の出力 S1 … と異なっている。ところが、上述したように、出力 S0 は、ダミー信号 D U M M Y として後段の回路で使用されない。したがって、出力 S0 のタイミングが異なっていたとしても、シフトレジスタ 1 1 d は、何ら支障なく、所定の時間ずつ、タイミングの異なるタイミング信号 S M P i … を出力できる。

【0144】さらに、上記構成では、SR フリップフロップ F 1 (0) へ反転信号 S P バーが印加され、レベルシフタ 1 3 が省かれている。したがって、SR フリップフロップ F 1 (0) にもレベルシフタ 1 3 を設ける場合に比べて、レベルシフタ 1 3 の数を削減できる。

【0145】なお、上記第 1 ないし第 8 の実施形態では、レベルシフタ（13・14・23～25）が電流駆動型の場合を例にして説明したが、図 38 に示すように電圧駆動型のレベルシフタ 4 1 を用いてもよい。当該レベルシフタ 4 1 のレベルシフト部 4 1 a は、入力スイッチング素子として、クロック信号 C K に応じて導通／遮断される N 型の MOS トランジスタ N 8 1 と、クロック

信号 C K の反転信号 C K バーに依りて導通／遮断される N 型の MOS トランジスタ N 8 2 とを備えている。各トランジスタ N 8 1 （N 8 2）のドレインには、負荷となる P 型の MOS トランジスタ P 8 3 （P 8 4）を介して駆動電圧 VCC が印加されており、両トランジスタ N 8 1 ・ N 8 2 のソースは、接地されている。また、上記トランジスタ N 8 2 ・ P 8 4 の接続点の電位は、レベルシフタ 4 1 の出力 O U T として出力されると共に、上記トランジスタ P 8 3 のゲートへ印加される。同様に、上記トランジスタ N 8 1 ・ P 8 3 の接続点の電位は、レベルシフタ 4 1 の反転出力 O U T バーとして出力されると共に、上記トランジスタ P 8 4 のゲートへ印加される。

【0146】一方、上記レベルシフタ 4 1 には、入力開放スイッチ部（スイッチ）4 1 b として、N 型の MOS トランジスタ N 9 1 ・ N 9 2 が設けられており、レベルシフタ 4 1 の動作中、上記トランジスタ N 8 1 のゲートには、トランジスタ N 9 1 を介してクロック信号 C K が印加されると共に、上記トランジスタ N 8 2 のゲートには、トランジスタ N 9 2 を介してクロック信号 C K の反転信号 C K バーが印加される。

【0147】さらに、上記レベルシフタ 4 1 には、入力安定部 4 1 c として、N 型の MOS トランジスタ N 9 3 および P 型の MOS トランジスタ P 9 4 が設けられている。これにより、レベルシフタ 4 1 の停止中、上記トランジスタ N 8 1 のゲートは、トランジスタ N 9 3 を介して接地され、上記トランジスタ N 8 2 のゲートには、トランジスタ P 9 4 を介して駆動電圧 VCC が印加される。なお、上記入力安定部 4 1 c は、特許請求の範囲に記載の出力安定手段に対応し、上記両トランジスタ N 8 1 ・ N 8 2 への入力電圧を制御して、出力を安定させる。ここで、レベルシフタ 4 1 は、電圧駆動型であり、出力 O U T を変化する場合にのみ電力を消費するので、レベルシフタ 4 1 の停止時に、入力電圧で出力電圧を制御しても電力消費が発生しない。

【0148】本実施形態では、制御信号 E N A がハイレベルの場合、レベルシフタ 4 1 の動作を示しているの、上記トランジスタ N 9 1 ・ N 9 2 ・ P 9 4 のゲートには、制御信号 E N A が印加され、トランジスタ N 9 3 には、制御信号 E N A がインバータ I N V 9 1 にて反転された後、印加されている。

【0149】上記構成では、制御信号 E N A がハイレベルの場合、トランジスタ N 9 1 ・ N 9 2 が導通し、トランジスタ N 8 1 ・ N 8 2 がクロック信号 C K、および、その反転信号 C K バーに依りて導通／遮断する。これにより、出力 O U T は、クロック信号 C K がハイレベルの場合、駆動電圧 VCC のレベルにまで昇圧され、ローレベルの場合、接地レベルとなる。

【0150】これとは逆に、制御信号 E N A がローレベルの場合には、トランジスタ N 9 3 ・ P 9 4 が導通するので、トランジスタ N 8 1 が遮断、トランジスタ N 8 2

が導通する。この結果、出力OUTは接地レベルに保たれ、反転出力OUTバーは、駆動電圧VCCに維持される。また、この状態では、両トランジスタN91・N92が遮断されているので、入力スイッチング素子としてのトランジスタN81(N82)のゲートは、クロック信号CK(CKバー)の伝送線から切り離される。これにより、例えば、図2に示す制御回路5など、クロック信号CK(CKバー)の駆動回路の負荷容量および消費電力を削減できる。

【0151】なお、図38では、レベルシフト13・23と同様、1つの制御信号ENAで動作/停止を制御する場合を例にして説明したが、上記レベルシフト14・24・25と同様に、トランジスタN91～P94・インバータINV91の数を制御信号ENAの数に応じて増加させれば、複数の制御信号ENAで動作/停止を制御できる。

【0152】上記構成のレベルシフト41を用いた場合であっても、レベルシフト41が複数設けられており、クロック出力が不要なレベルシフト41の少なくとも1つが停止するので、単一のレベルシフトがシフトレジスタの全フリップフロップへクロック信号を供給する場合に比べて、各レベルシフトの負荷容量を削減でき、シフトレジスタの消費電力を削減できる。

【0153】ただし、上記第1ないし第8の実施形態に示す電流駆動型のレベルシフト13(14・23～25:以下では、レベルシフト13で代表する)は、動作中、入力スイッチング素子(P11・P12)へ常時電流が流れているので、クロック信号CKの振幅が入力スイッチング素子(トランジスタN81・N82)のしきい値よりも低く、レベルシフト41が動作できない場合であっても、何ら支障なく、クロック信号CKを昇圧できる。また、クロック出力の要否に応じて、レベルシフト13を停止させているので、出力を変化させない場合であっても電力を消費するレベルシフト13が複数設けられているにも拘わらず、消費電力の増大を抑制できる。したがって、電流駆動型のレベルシフト13を用いる方が望ましい。

【0154】なお、上記第3ないし第7の実施形態では、K個のフリップフロップ(F1・F2)毎にレベルシフト(13・14・23～25)を設ける場合を例にして説明したが、シフトレジスタが複数のブロックに分割され、各ブロック毎にレベルシフトが設けられていれば、各ブロックに含まれるフリップフロップの数が同じでなくても、略同様の効果が得られる。

【0155】さらに、上記各実施形態では、シフトレジスタの適用例として、画像表示装置を例にして説明したが、シフトレジスタの駆動電圧よりも低い振幅のクロック信号CKが与えられる用途であれば、本発明に係るシフトレジスタを広く適用できる。ただし、画像表示装置では、解像度の向上と表示面積の拡大とが強く求められ

ているため、シフトレジスタの段数が多く、かつ、レベルシフトの駆動能力を十分に確保できないことが多い。したがって、画像表示装置の駆動回路に適用した場合は、特に効果的である。

【0156】

【発明の効果】本発明に係るシフトレジスタは、以上のように、フリップフロップが少なくとも1つのフリップフロップからなる複数のブロックに分けられ、駆動電圧よりも小さな振幅のクロック信号を昇圧するレベルシフトは、当該各ブロック毎に設けられていると共に、上記複数のレベルシフトのうち、その時点で上記入力パルスの伝送に上記クロック信号の入力を必要としないブロックに対応するレベルシフトの少なくとも1つは停止する構成である。

【0157】当該構成では、シフトレジスタに複数のレベルシフトが設けられているので、各レベルシフトからフリップフロップへの距離を短縮できる。また、複数のレベルシフトのうち、少なくとも1つは、動作を停止している。これらの結果、低電圧のクロック信号入力で作動可能で、かつ、低消費電力なシフトレジスタを実現できるという効果を奏する。

【0158】本発明に係るシフトレジスタは、上記構成において、特定ブロックがDフリップフロップを含み、特定レベルシフトは、当該特定ブロックへのパルス入力開始された時点で動作を開始し、当該特定ブロックの最終段のフリップフロップがパルス出力を終了した後、動作を停止する構成である。

【0159】当該構成によれば、特定レベルシフトは、特定ブロックのDフリップフロップが動作する際に必要な期間に、レベルシフト後のクロック信号を供給し、Dフリップフロップへのクロック信号の入力が不要な場合には、動作を停止するので、互いに異なるパルス幅の入力パルスを伝送可能で、かつ、消費電力の少ないシフトレジスタを実現できるという効果を奏する。

【0160】本発明に係るシフトレジスタは、上記構成において、特定ブロック内に複数のDフリップフロップを含み、特定レベルシフトは、上記特定ブロックへ入力される信号と、上記特定ブロックの最終段のフリップフロップの出力信号とに応じて、出力を変化させるラッチ回路を含んでいる構成である。

【0161】当該構成によれば、2つの信号に基づいて、ラッチ回路の出力が変化し、特定レベルシフトの動作/停止が制御されるので、特定ブロック内のフリップフロップ数が多い場合でもシフトレジスタの回路構成を簡略化できるという効果を奏する。

【0162】本発明に係るシフトレジスタは、上記構成において、上記レベルシフトは、動作中、上記クロック信号を印加する入力スイッチング素子が常時導通する電流駆動型のレベルシフト部を含んでいる構成である。

【0163】当該構成によれば、電流駆動型のレベルシ

フタのうち、少なくとも1つが動作を停止するので、クロック信号の振幅が入力スイッチング素子のしきい値電圧よりも低い場合でもレベルシフト可能で、かつ、消費電力が少ないシフトレジスタを実現できるという効果を奏する。

【0164】本発明に係るシフトレジスタは、上記構成のシフトレジスタにおいて、上記レベルシフト部へ、上記入力スイッチング素子が遮断するレベルの信号を与えて、当該レベルシフトを停止させる入力信号制御部が設けられている構成である。

【0165】当該構成によれば、入力信号制御部が入力信号のレベルを制御して、入力スイッチング素子を遮断するので、停止中は、動作中に入力スイッチング素子へ流れる電流の分だけ、消費電力を低減できるという効果を奏する。

【0166】本発明に係るシフトレジスタは、上記構成において、上記レベルシフト部への電力供給を停止して、当該レベルシフトを停止させる電力供給制御部を備えている構成である。

【0167】当該構成によれば、各レベルシフト部への電力供給を停止して、当該レベルシフトを停止させるので、停止中、動作中にレベルシフトで消費する電力の分だけ、消費電力を低減できるという効果を奏する。

【0168】本発明に係るシフトレジスタは、上記各構成において、上記レベルシフトは、停止時に、予め定められた値に出力電圧を保つ出力安定手段を備えている構成である。

【0169】当該構成によれば、レベルシフトが停止している間、当該レベルシフトの出力電圧は、出力安定手段によって所定の値に保たれるので、不定な出力電圧に起因するフリップフロップの誤動作を防止でき、より安定したシフトレジスタを実現できるという効果を奏する。

【0170】本発明に係るシフトレジスタは、上記各構成において、上記レベルシフト部とクロック信号の伝送線との間に、当該レベルシフトが停止している間、開放されるスイッチが設けられている構成である。

【0171】当該構成では、クロック信号線へ接続される入力スイッチング素子は、動作中のレベルシフトのものに限定されるので、クロック信号線の負荷容量を削減でき、クロック信号線を駆動する回路の消費電力を削減できるという効果を奏する。

【0172】本発明に係る画像表示装置は、以上のように、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方は、上述のいずれかの構成のシフトレジスタを備えている構成である。

【0173】当該構成によれば、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方に、上記各構成のシフトレジスタを備えているので、消費電力が少ない画像表示装置を実現できるという効果を奏する。

【0174】本発明に係る画像表示装置は、上記構成において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されている構成である。

【0175】当該構成によれば、データ信号線の数および走査信号線の数が増加しても、基板外に出す信号線の数が変化しないので、各信号線の容量の不所望な増大を防止できると共に、集積度の低下を防止できるという効果を奏する。

10 【0176】本発明に係る画像表示装置は、上記構成において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいる構成である。

【0177】当該構成では、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、いずれも、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいるので、消費電力が少なく、かつ、表示面積の広い画像表示装置を実現できるという効果を奏する。

20 【0178】本発明に係る画像表示装置は、上記構成において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、600度以下のプロセス温度で製造されたスイッチング素子を含んでいる構成である。

【0179】当該構成によれば、通常のガラス基板（歪み点が600度以下のガラス基板）を使用しても、歪み点以上のプロセスに起因するソリやタワミが発生しないので、実装がさらに容易で、より表示面積の広い画像表示装置を実現できるという効果を奏する。

【図面の簡単な説明】

30 【図1】本発明の一実施形態を示すものであり、セット・リセット・フリップフロップを含んで構成されるシフトレジスタの要部構成を示すブロック図である。

【図2】上記シフトレジスタを用いた画像表示装置の要部構成を示すブロック図である。

【図3】上記画像表示装置において、画素の構成例を示す回路図である。

【図4】上記シフトレジスタの動作を示すタイミングチャートである。

40 【図5】上記シフトレジスタで用いられるセット・リセット・フリップフロップの構成例を示す回路図である。

【図6】上記セット・リセット・フリップフロップの動作を示すタイミングチャートである。

【図7】上記シフトレジスタにおいて、レベルシフトの構成例を示す回路図である。

【図8】本発明の他の実施形態を示すものであり、Dフリップフロップを含んで構成されるシフトレジスタの要部構成を示すブロック図である。

【図9】上記シフトレジスタの動作を示すタイミングチャートである。

50 【図10】上記Dフリップフロップの構成例を示す回路

図である。

【図 1 1】上記 D フリップフロップの動作を示すタイミングチャートである。

【図 1 2】上記シフトレジスタで用いられる OR 回路の構成例を示す回路図である。

【図 1 3】上記シフトレジスタの変形例を示すブロック図である。

【図 1 4】上記シフトレジスタにおいて、レベルシフタの構成例を示す回路図である。

【図 1 5】本発明のさらに他の実施形態を示すものであり、複数のセット・リセット・フリップフロップ毎にレベルシフタが設けられたシフトレジスタを示すブロック図である。

【図 1 6】上記シフトレジスタで用いられる OR 回路の構成例を示す回路図である。

【図 1 7】上記シフトレジスタの動作を示すタイミングチャートである。

【図 1 8】上記シフトレジスタの変形例を示すブロック図である。

【図 1 9】上記シフトレジスタにおいて、レベルシフタの構成例を示す回路図である。

【図 2 0】本発明のまた別の実施形態を示すものであり、複数の D フリップフロップ毎にレベルシフタが設けられたシフトレジスタを示すブロック図である。

【図 2 1】上記シフトレジスタで用いられる OR 回路の構成例を示す回路図である。

【図 2 2】上記シフトレジスタの動作を示すタイミングチャートである。

【図 2 3】上記シフトレジスタの変形例を示すブロック図である。

【図 2 4】上記シフトレジスタにおいて、レベルシフタの構成例を示す回路図である。

【図 2 5】本発明のさらに他の実施形態を示すものであり、レベルシフタの動作を制御するためのラッチ回路と、セット・リセット・フリップフロップとを含むシフトレジスタを示すブロック図である。

【図 2 6】上記ラッチ回路の構成例を示すブロック図である。

【図 2 7】上記シフトレジスタの動作を示すタイミングチャートである。

【図 2 8】上記ラッチ回路の他の構成例を示すブロック図である。

【図 2 9】上記ラッチ回路の動作を示すタイミングチャートである。

【図 3 0】本発明のまた別の実施形態を示すものであり、上記ラッチ回路と、D フリップフロップとを含むシフトレジスタを示すブロック図である。

【図 3 1】上記ラッチ回路の構成例を示すブロック図である。

【図 3 2】上記シフトレジスタの動作を示すタイミングチャートである。

【図 3 3】上記ラッチ回路の他の構成例を示すブロック図である。

【図 3 4】上記ラッチ回路の動作を示すタイミングチャートである。

【図 3 5】本発明のさらに他の実施形態を示すものであり、各ブロックのレベルシフタが当該ブロック内の D フリップフロップに選択的にクロック信号を供給する場合に設けられるクロック信号制御回路を示す回路図である。

【図 3 6】本発明のまた別の実施形態を示すものであり、シフトレジスタの要部構成を示すブロック図である。

【図 3 7】上記シフトレジスタの動作を示すタイミングチャートである。

【図 3 8】本発明の変形例を示すものであり、電圧駆動型のレベルシフタを示す回路図である。

【図 3 9】従来例を示すものであり、レベルシフタを含むシフトレジスタを示すブロック図である。

【符号の説明】

1 画像表示装置

3 データ信号線駆動回路

4 走査信号線駆動回路

11・11a～11d・21・21a～21c シフトレジスタ

13・14・23～25・41 レベルシフタ

13a・14a・23a～25a・41a レベルシフト部

30 13b・14b・23b～25b 電力供給制御部

13c・14c・23c～25c 入力制御部（スイッチ）

13d・14d 入力スイッチング素子遮断制御部（入力信号制御部）

13e・14e・23e～25e 出力安定部（出力安定手段）

23d～25d 入力スイッチング素子遮断制御部（入力信号制御部）

31～34 ラッチ回路

40 41b 入力開放スイッチ部（スイッチ）

41c 入力安定部（出力安定手段）

B1… ブロック（特定ブロック）

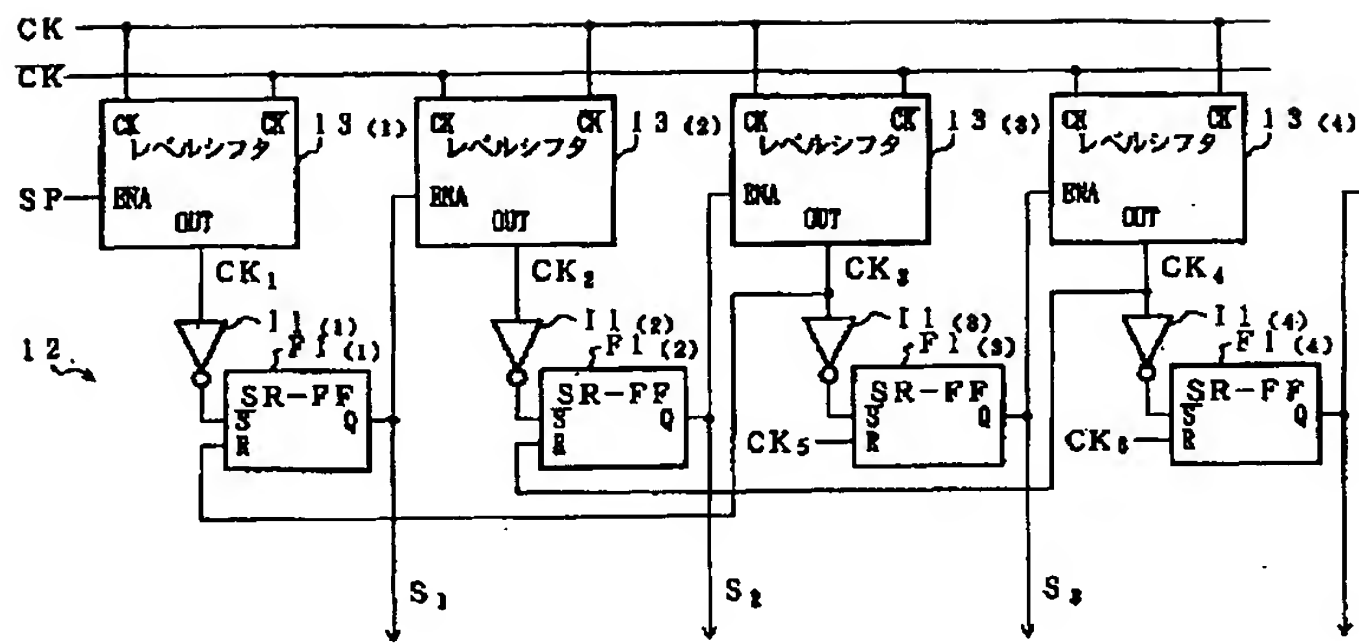
F1(l)… SR フリップフロップ（フリップフロップ）

F2(l)… D フリップフロップ（フリップフロップ）

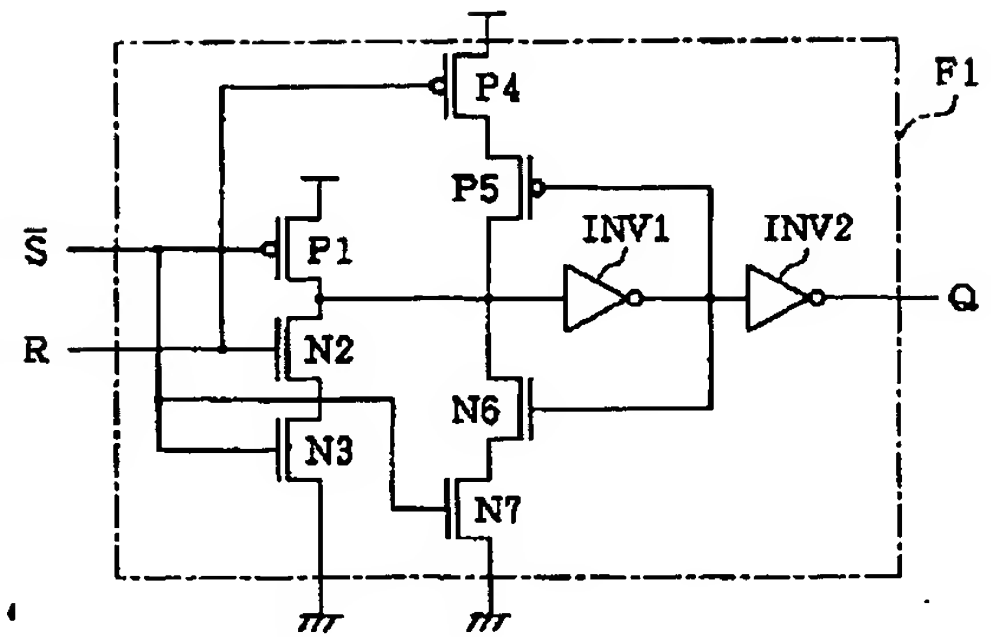
P11・P12 トランジスタ（入力スイッチング素子）

P1X 画素

【図 1】

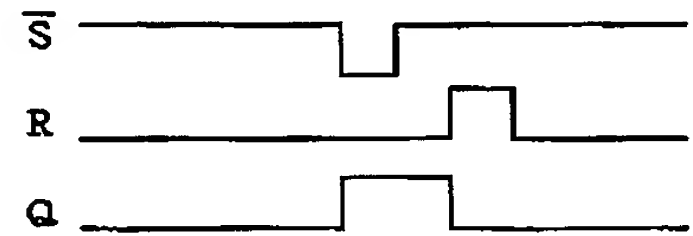


【図 5】

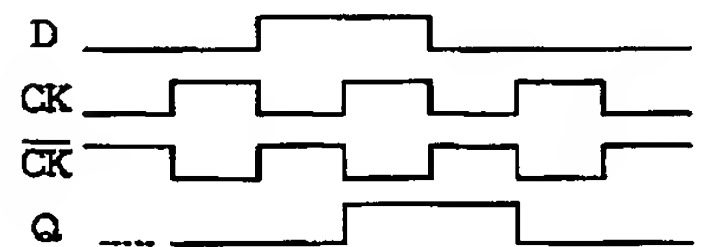


【図 2】

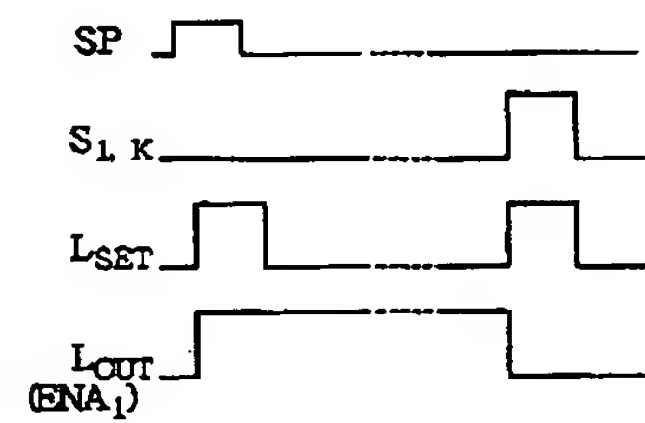
【図 6】



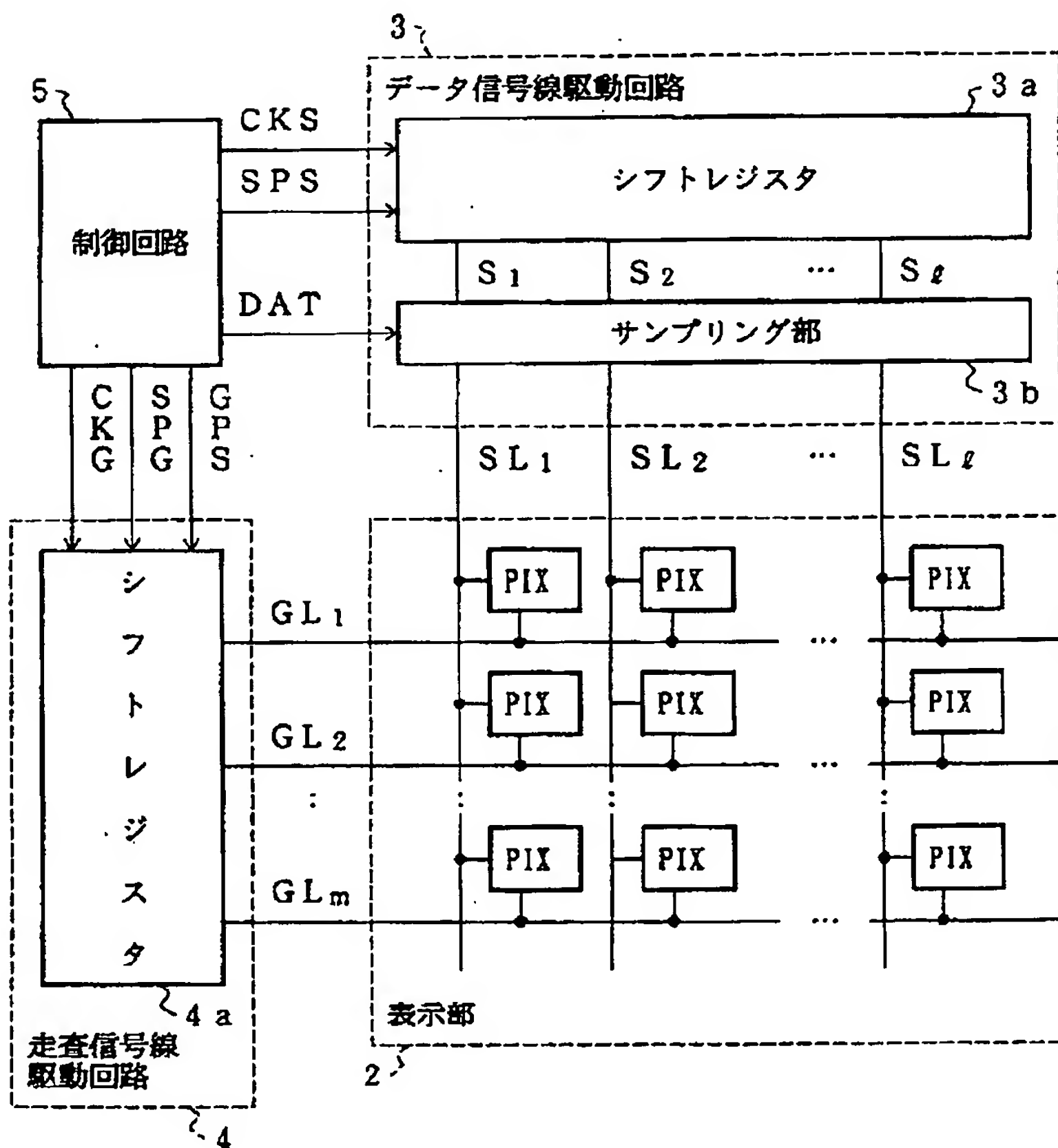
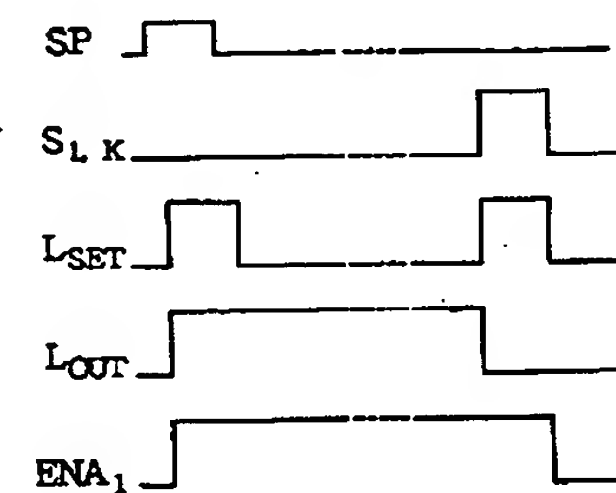
【図 11】



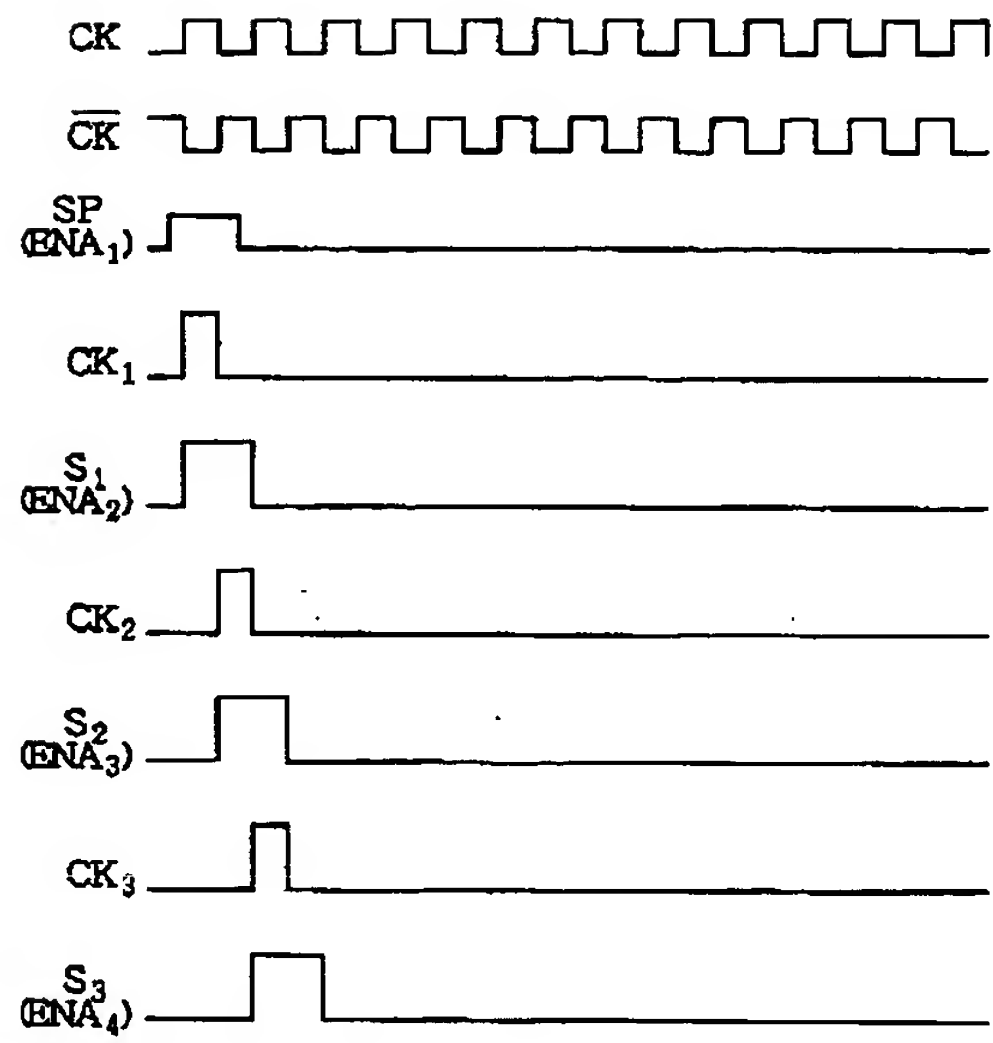
【図 29】



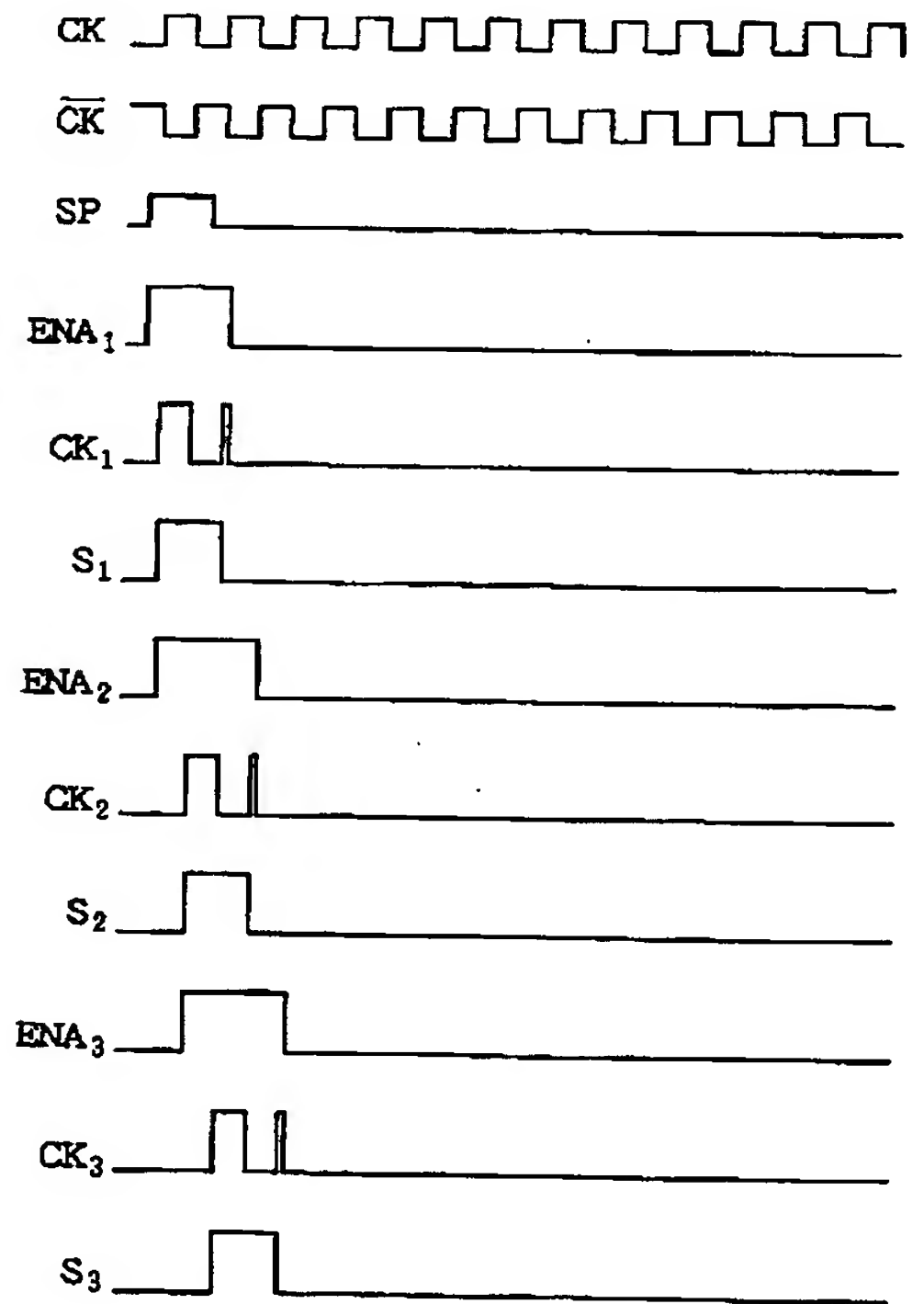
【図 34】



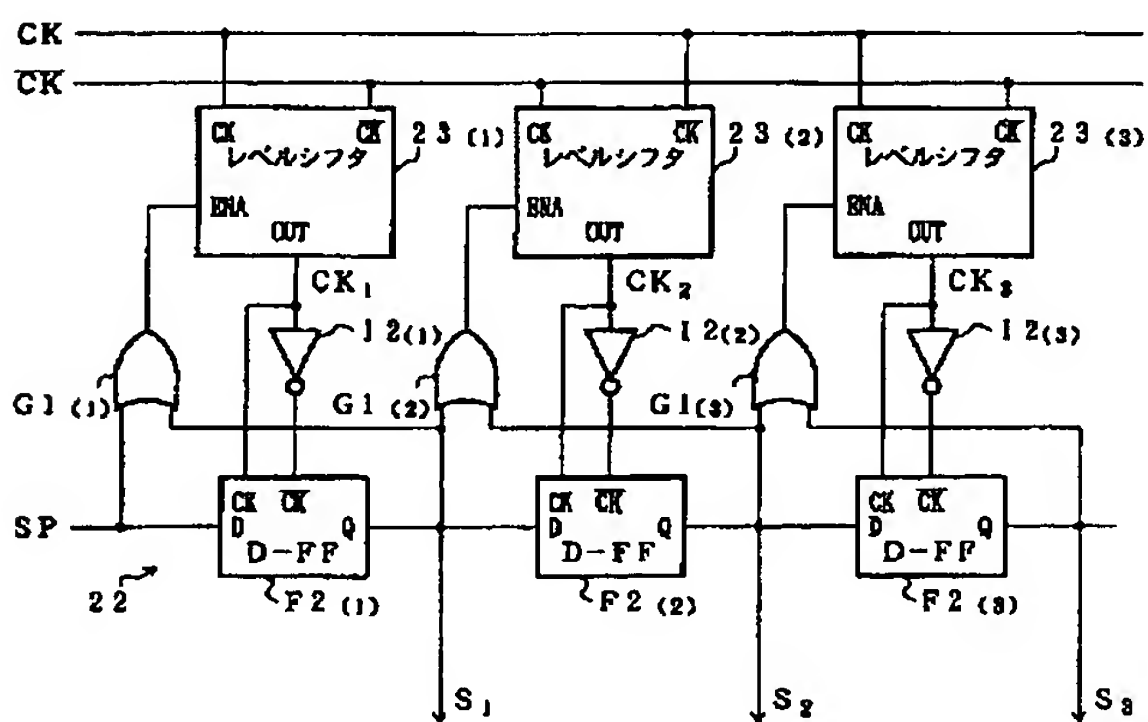
【図 4】



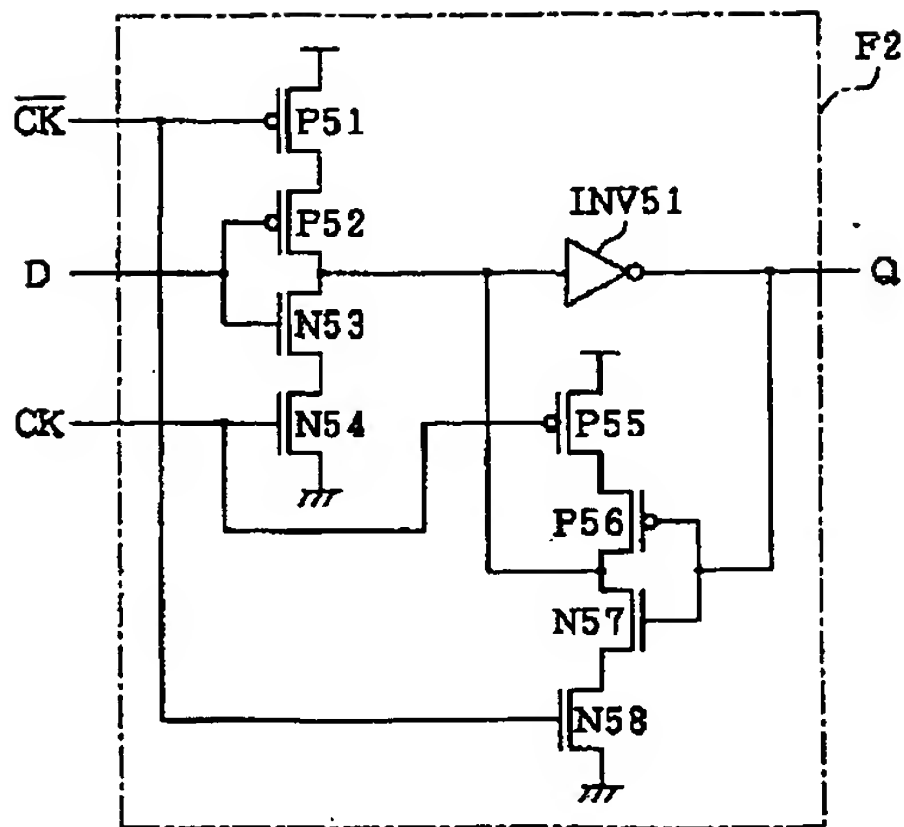
【図 9】



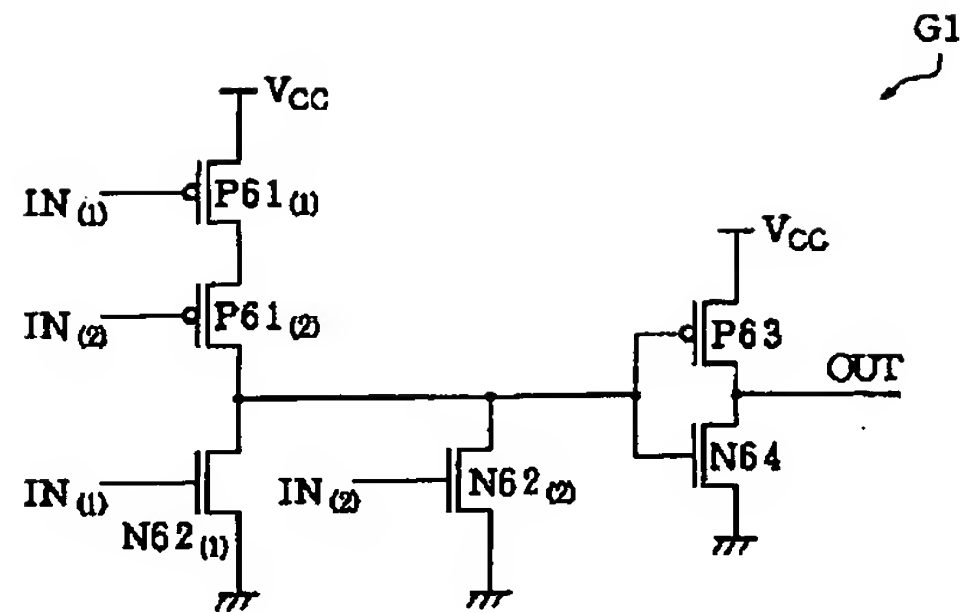
【図 8】



【図 10】

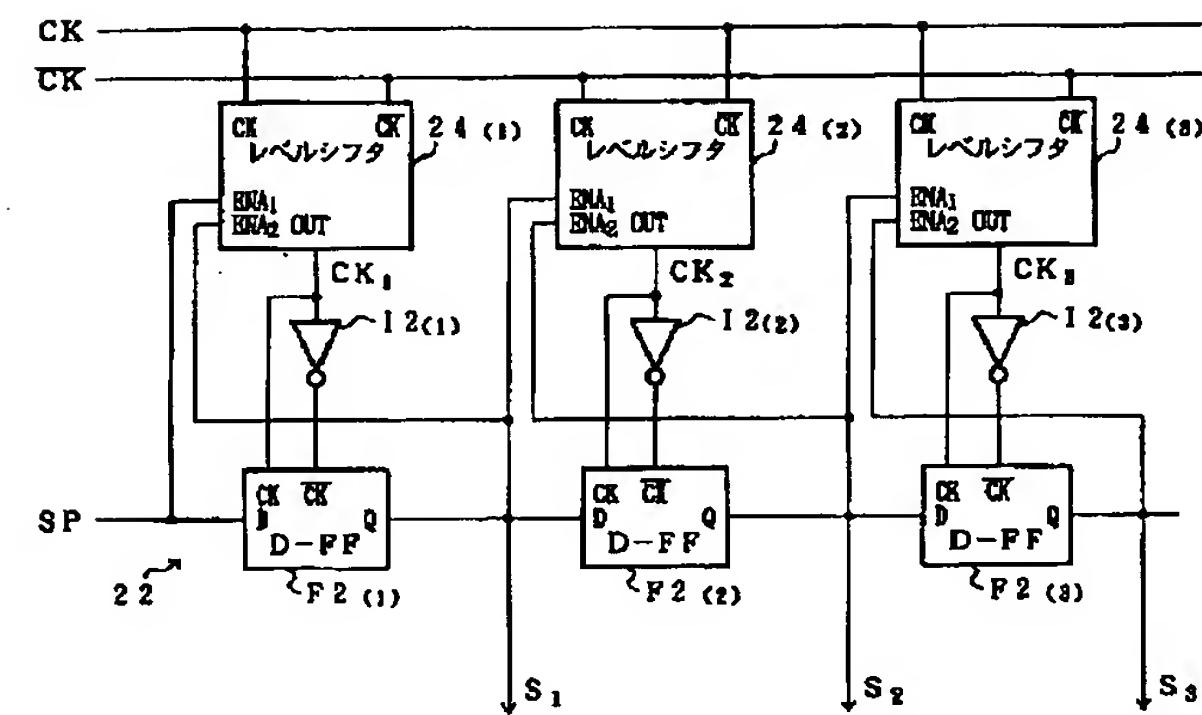


【図 12】



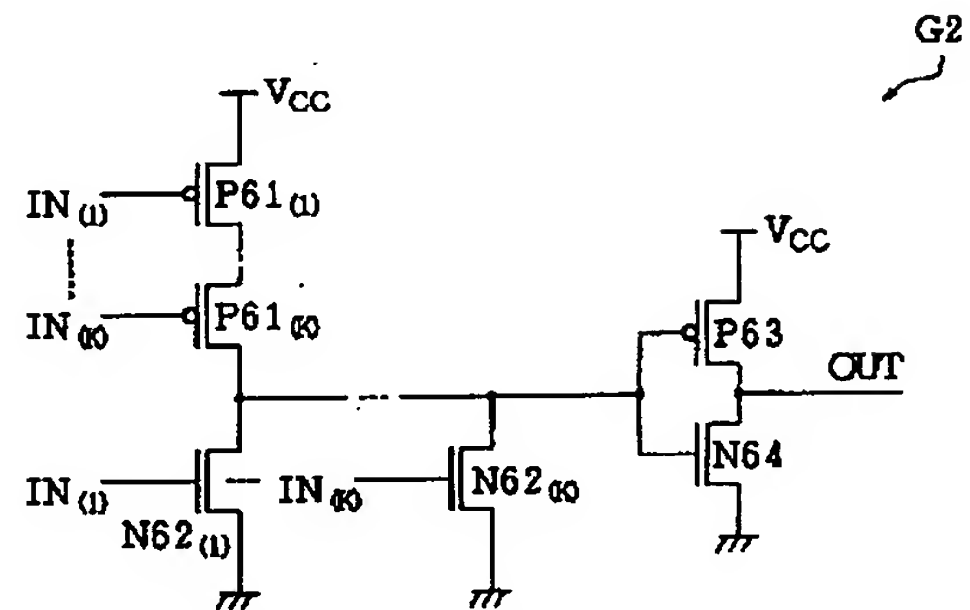
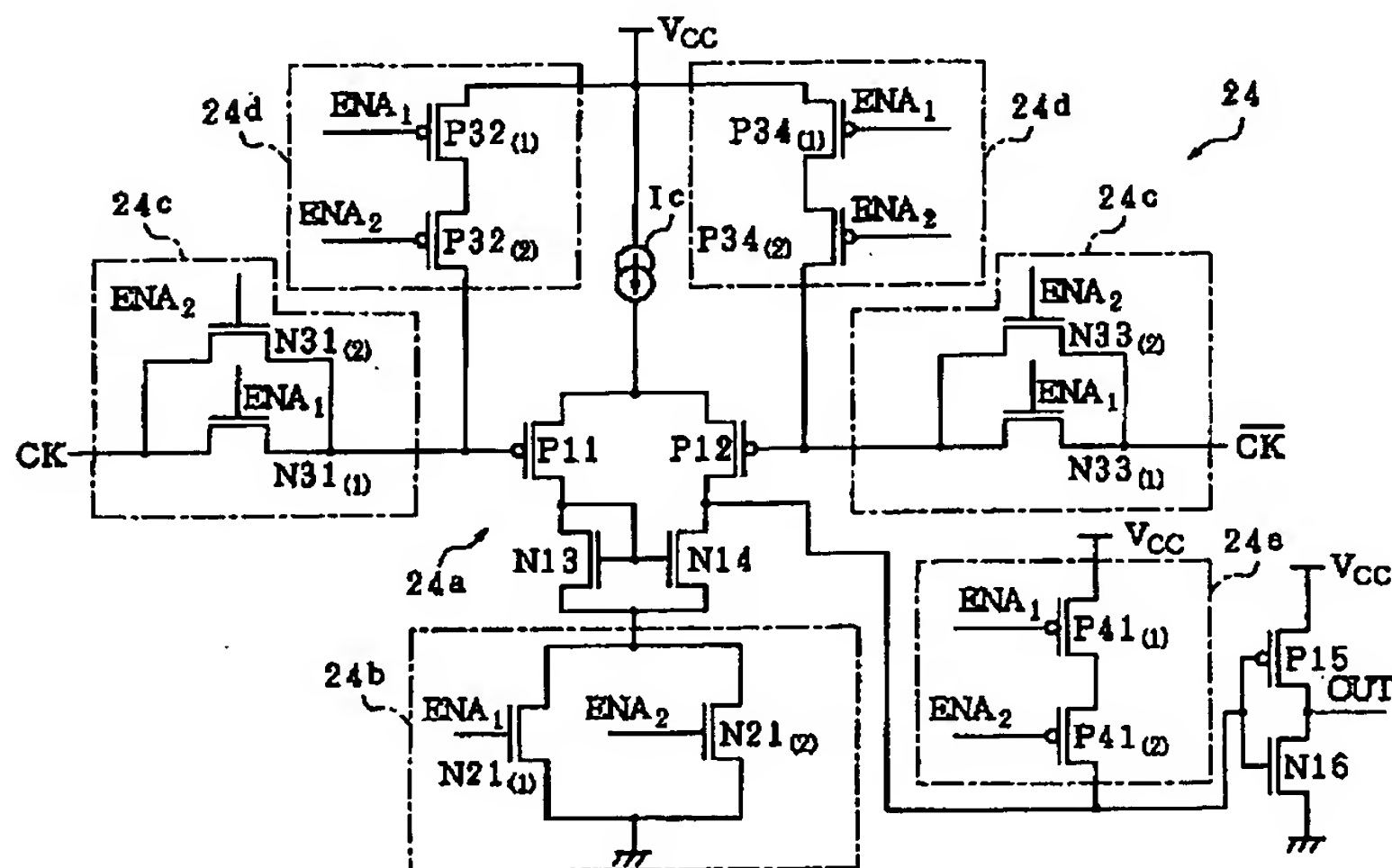
【図 16】

【図 13】

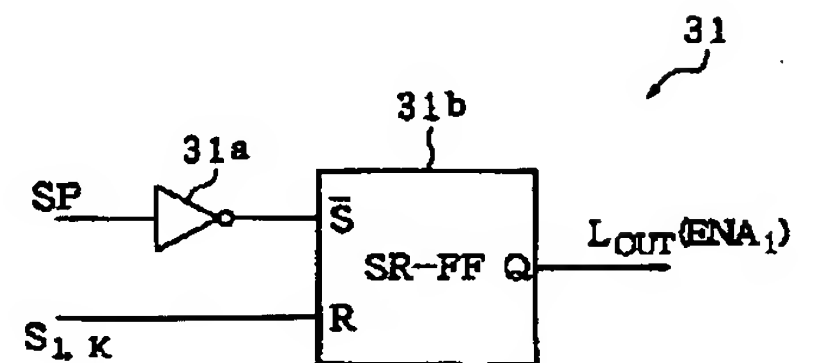


21a

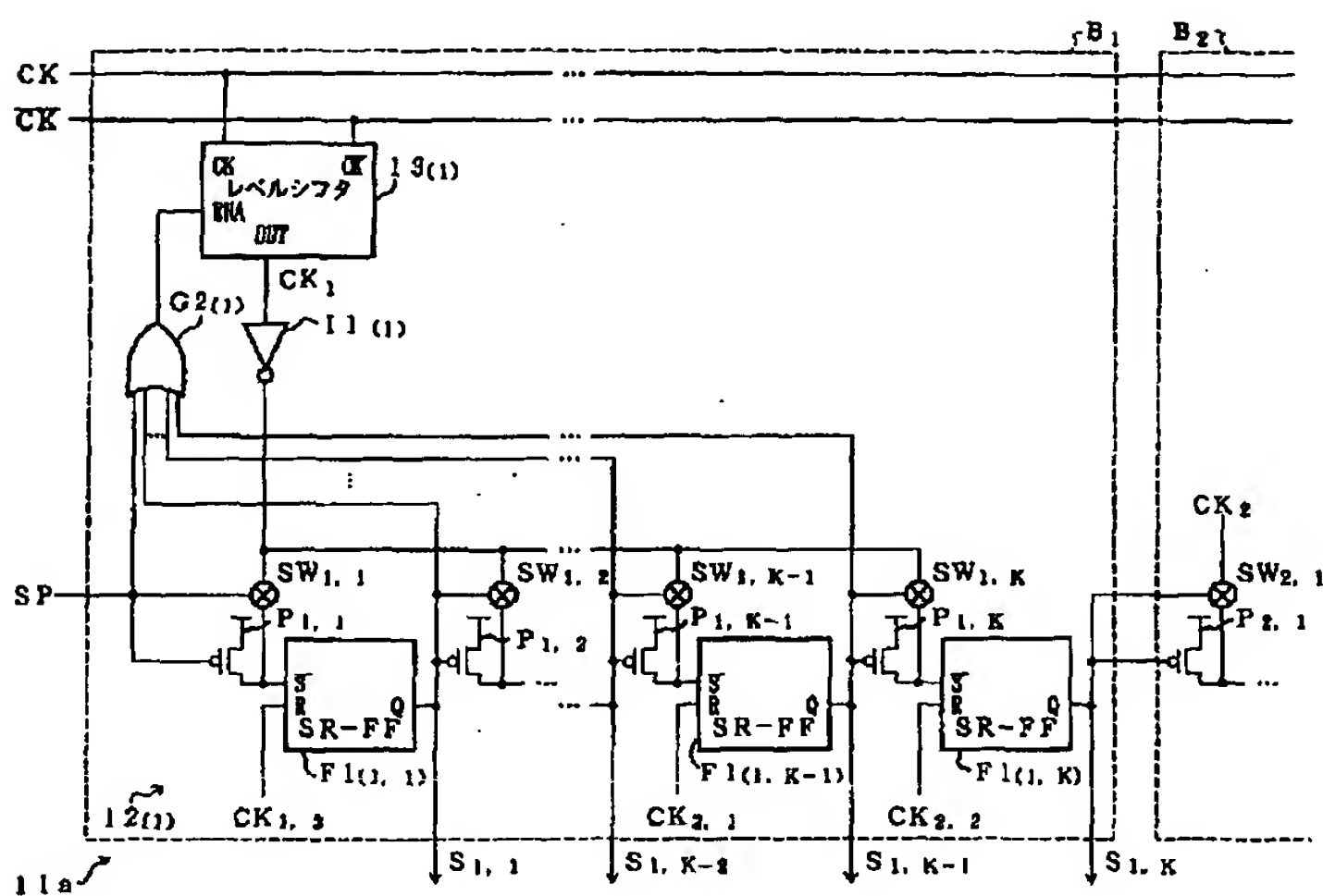
【図 14】



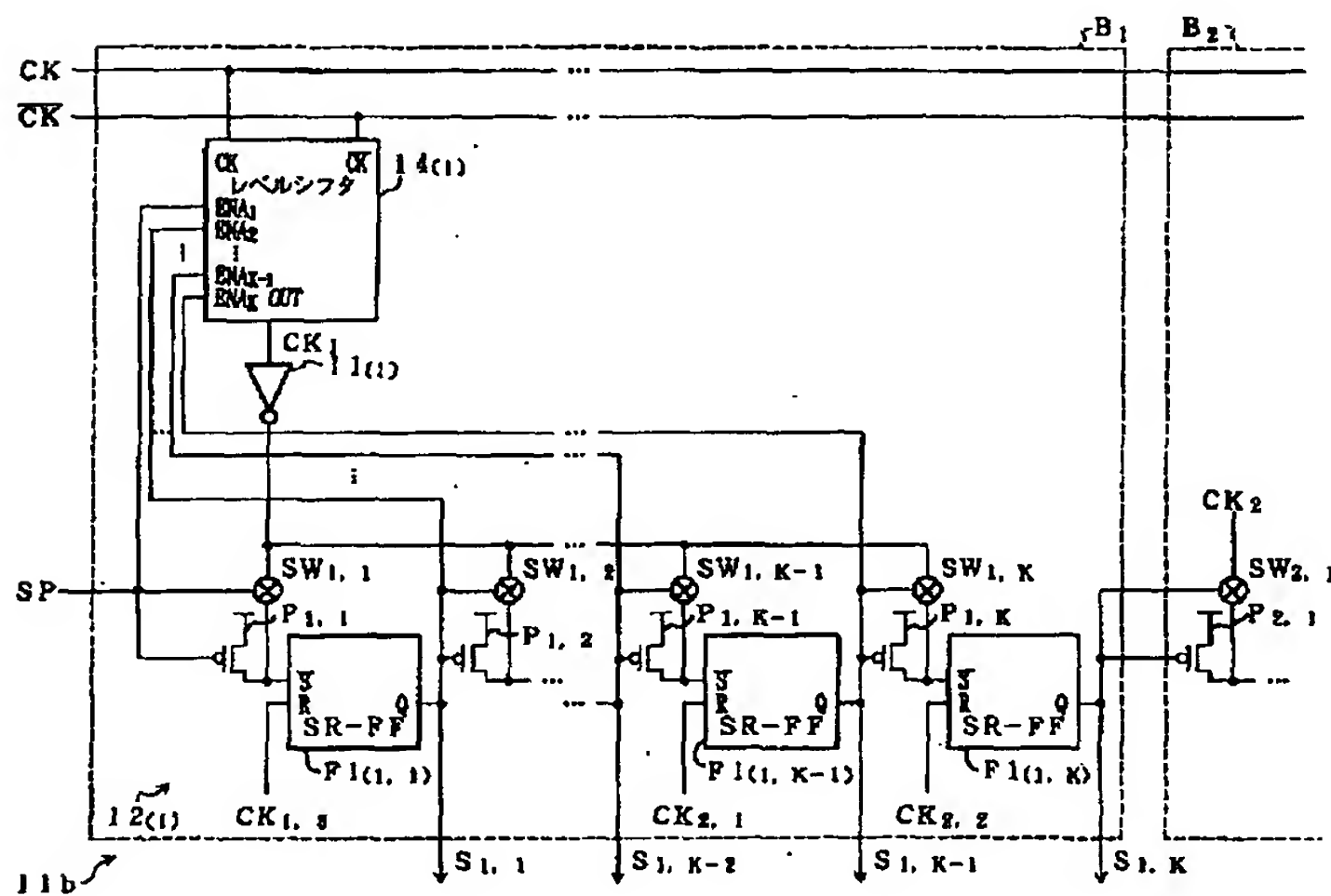
【図 26】



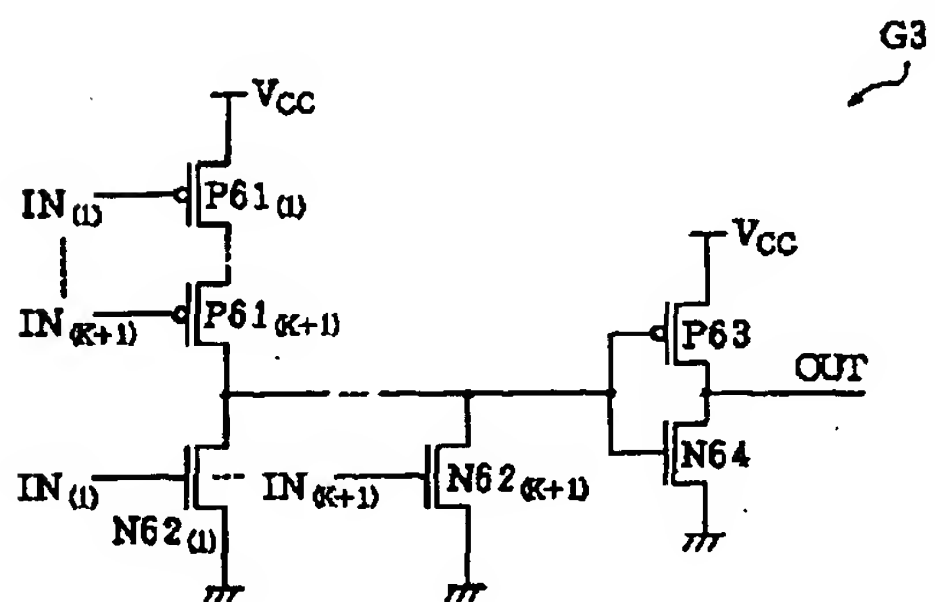
【図15】



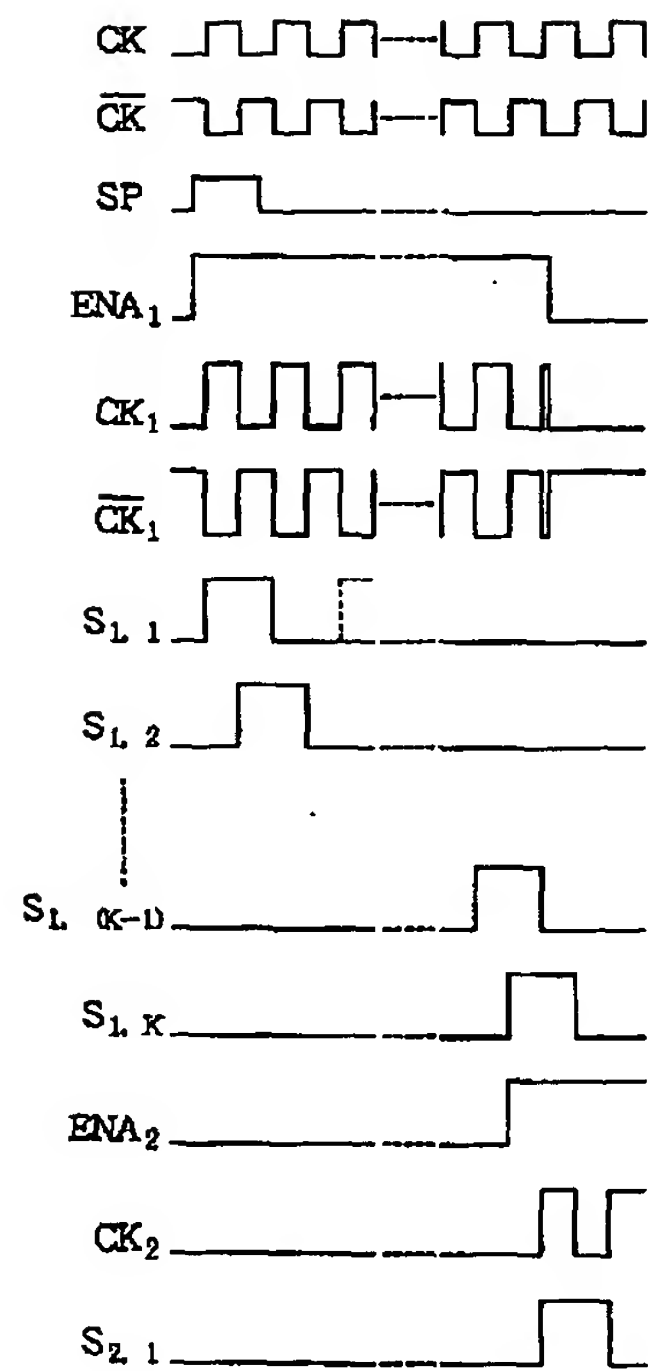
【図18】



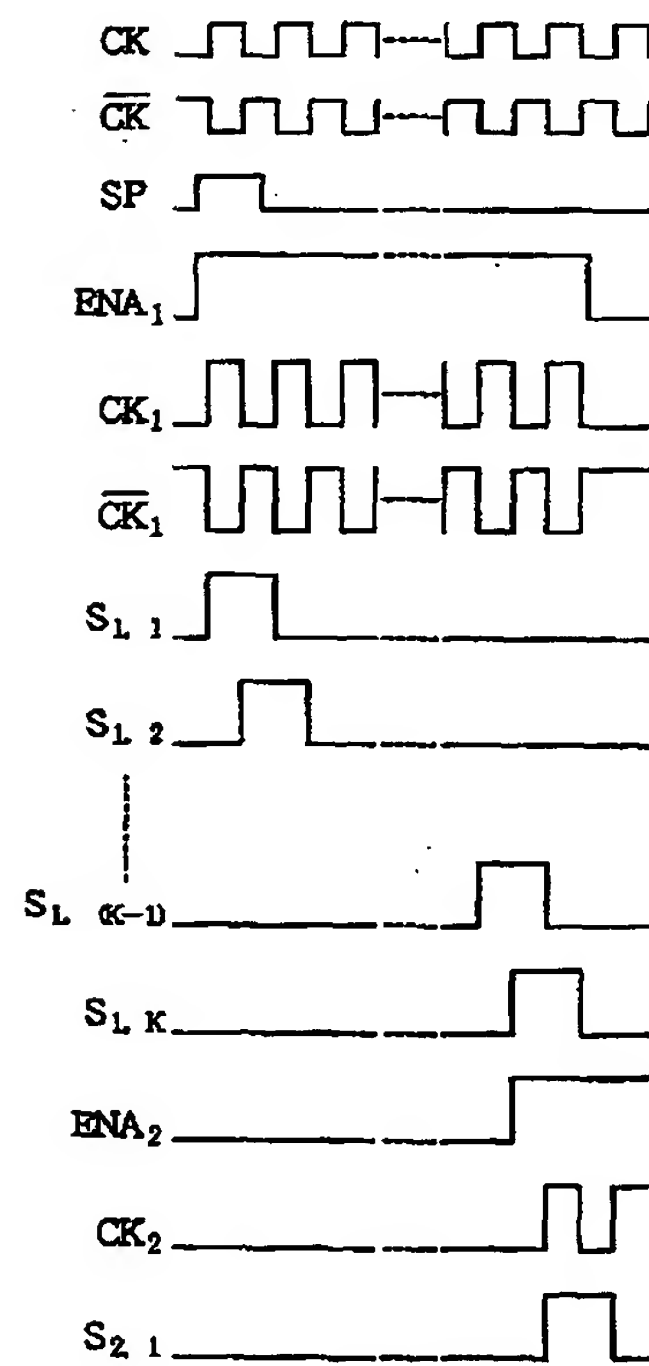
【図21】



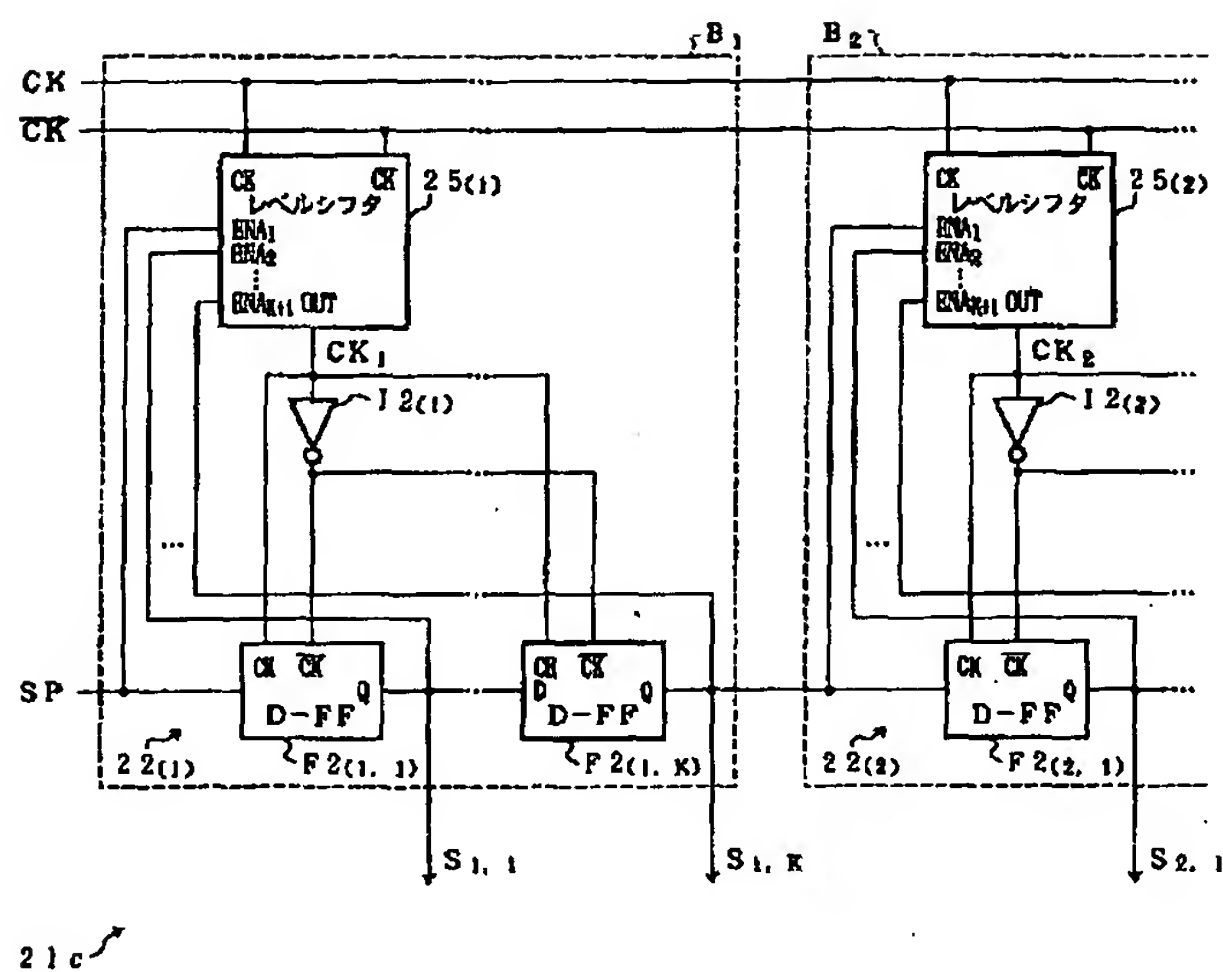
【図17】



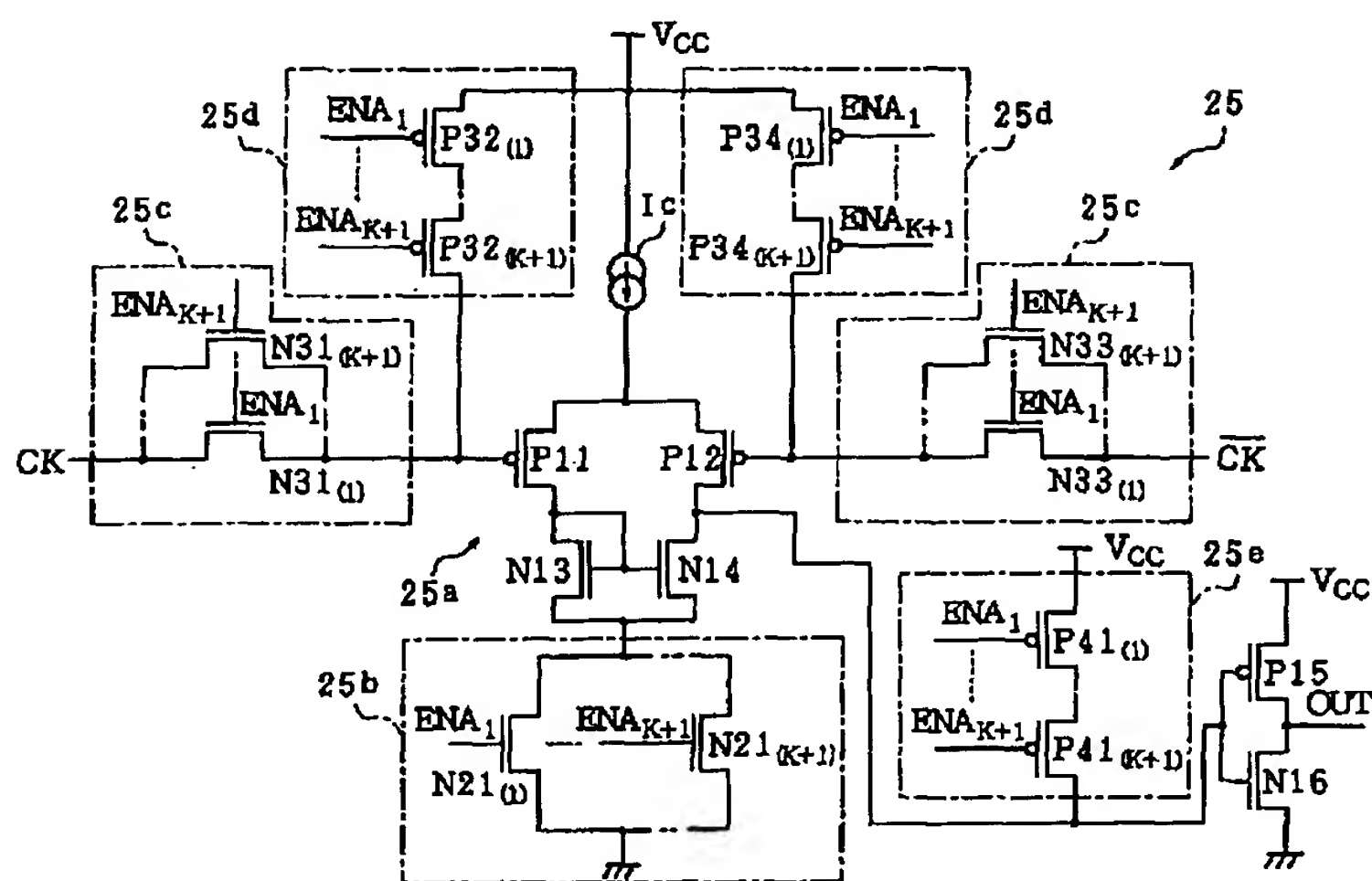
【図22】



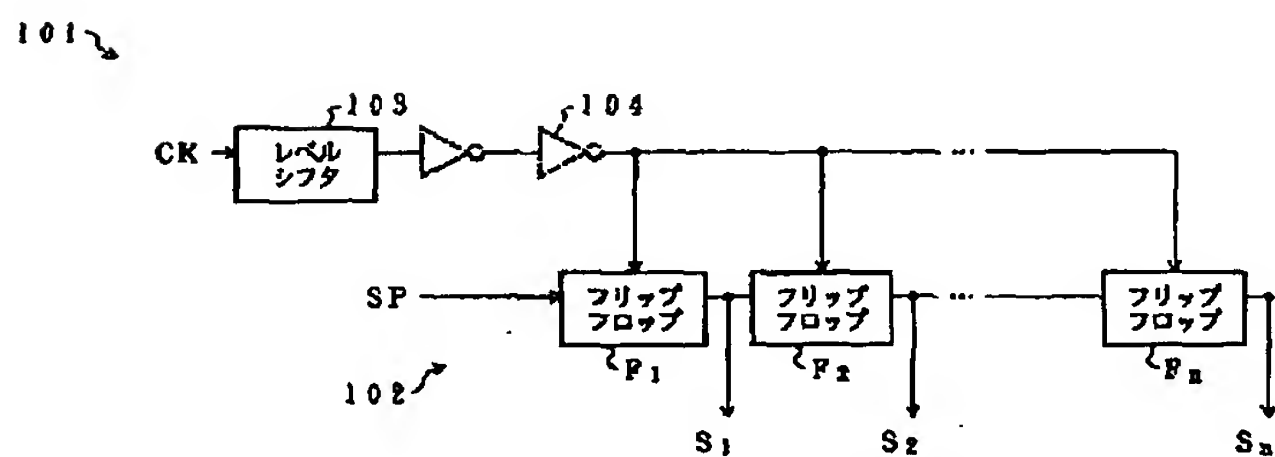
【図 23】



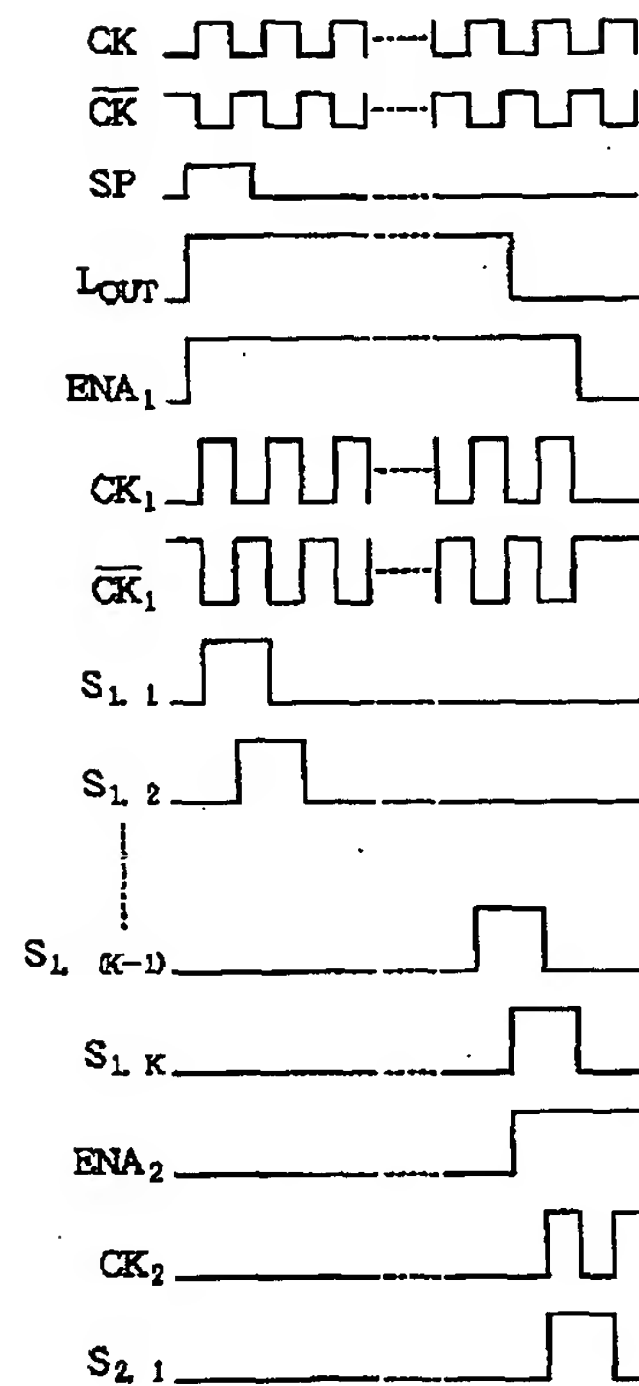
【図 24】



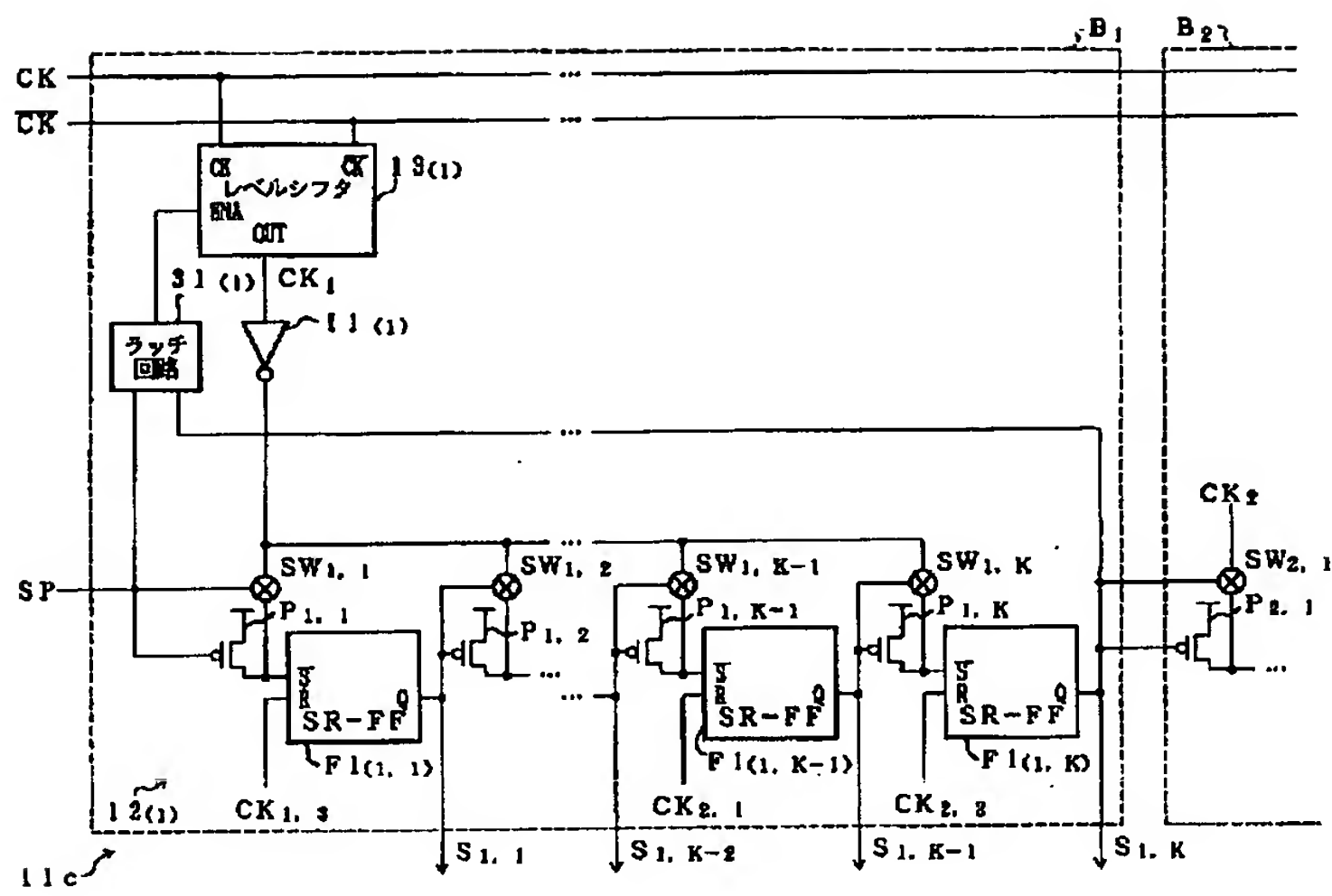
【図 39】



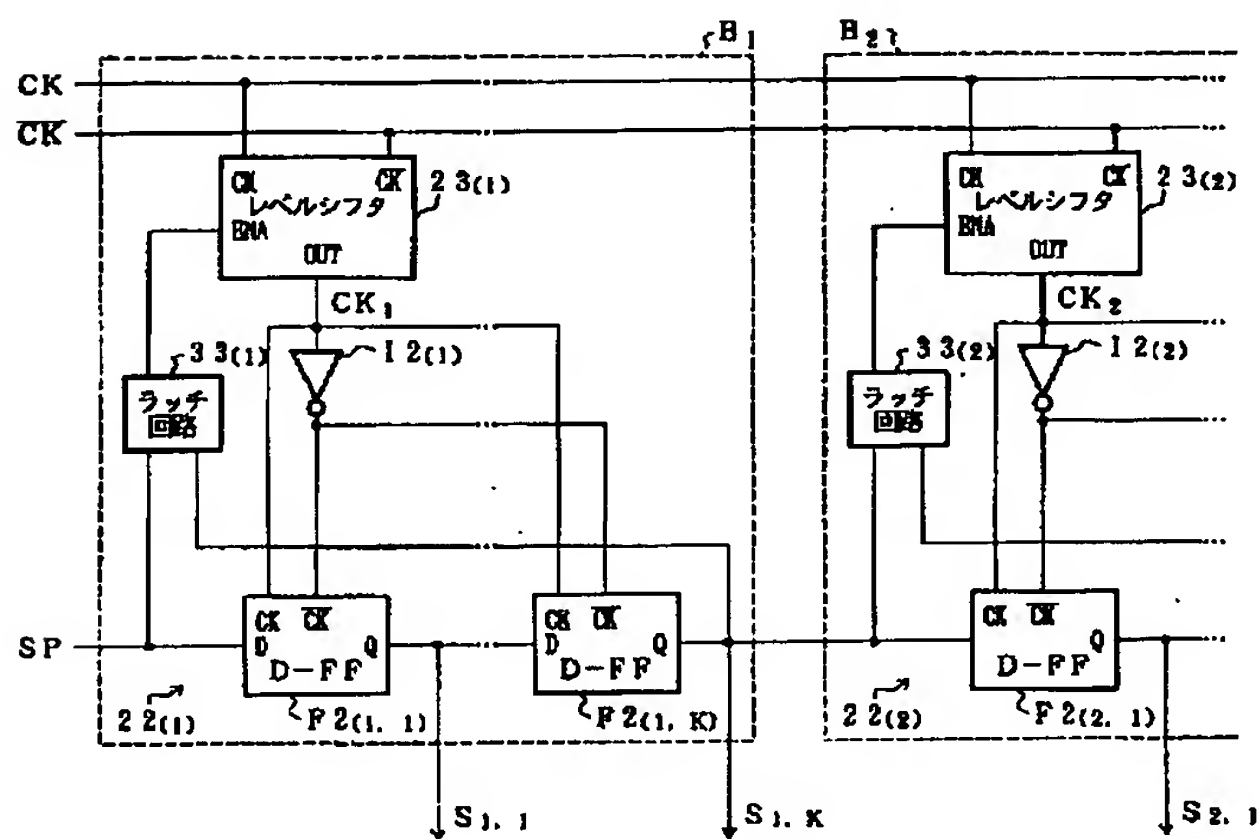
【図 32】



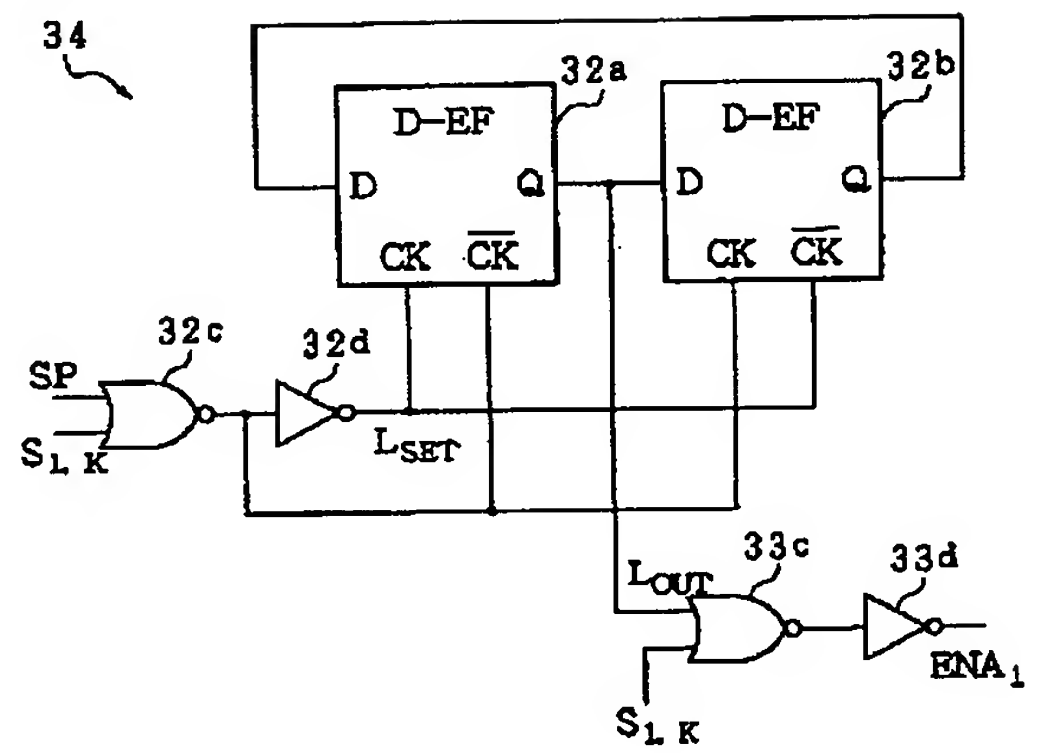
【図 25】



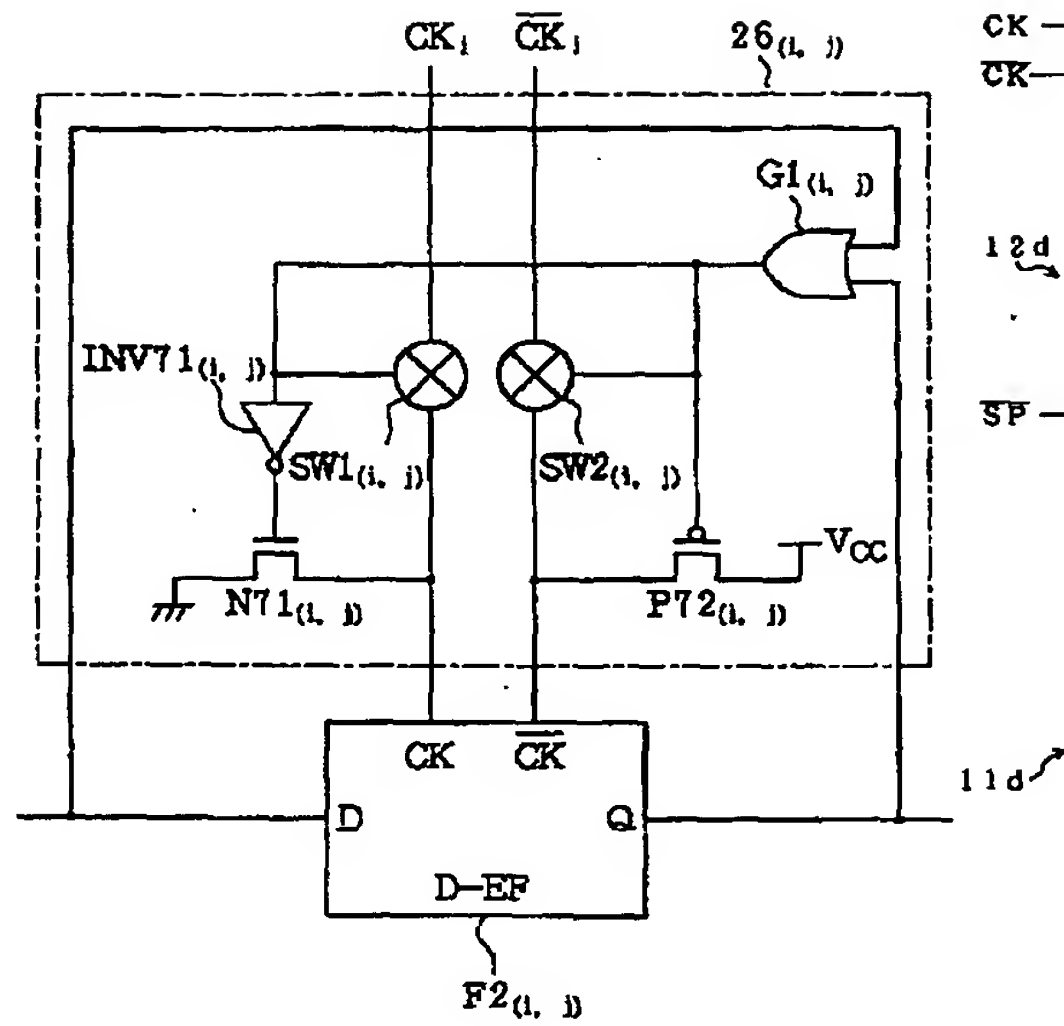
【図 30】



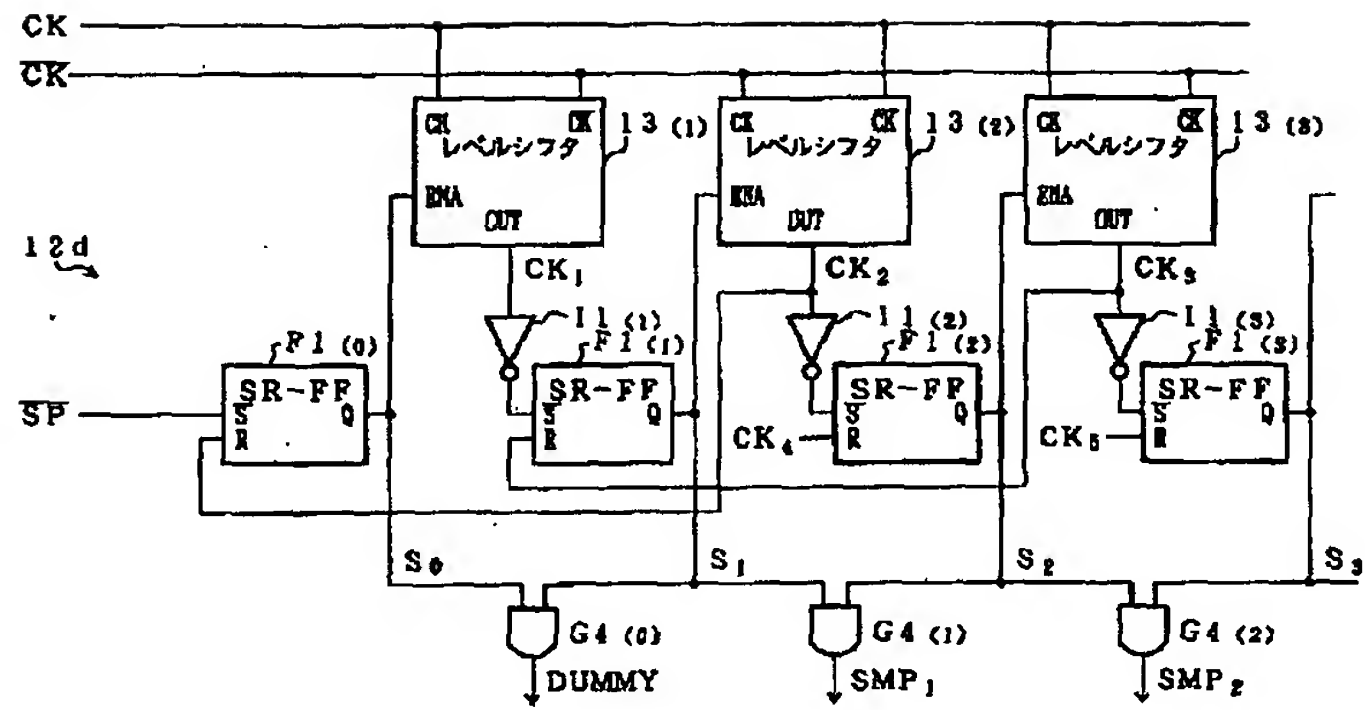
【図 33】



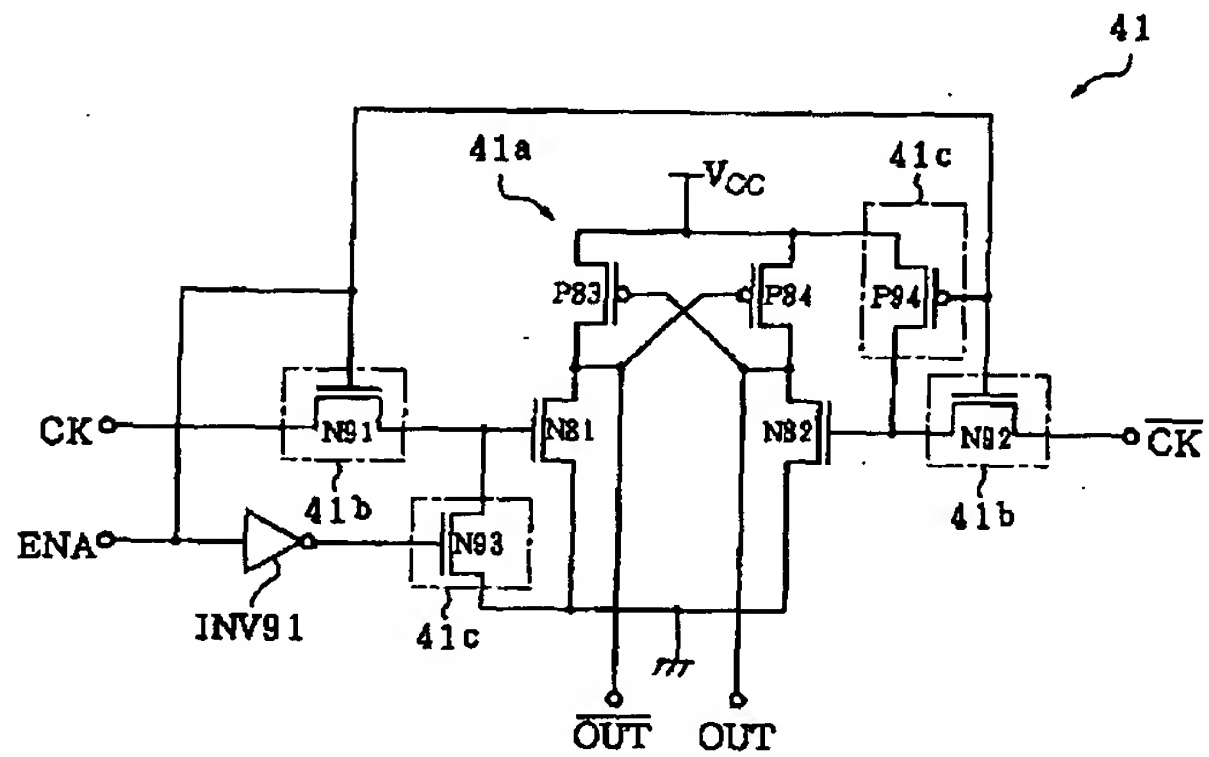
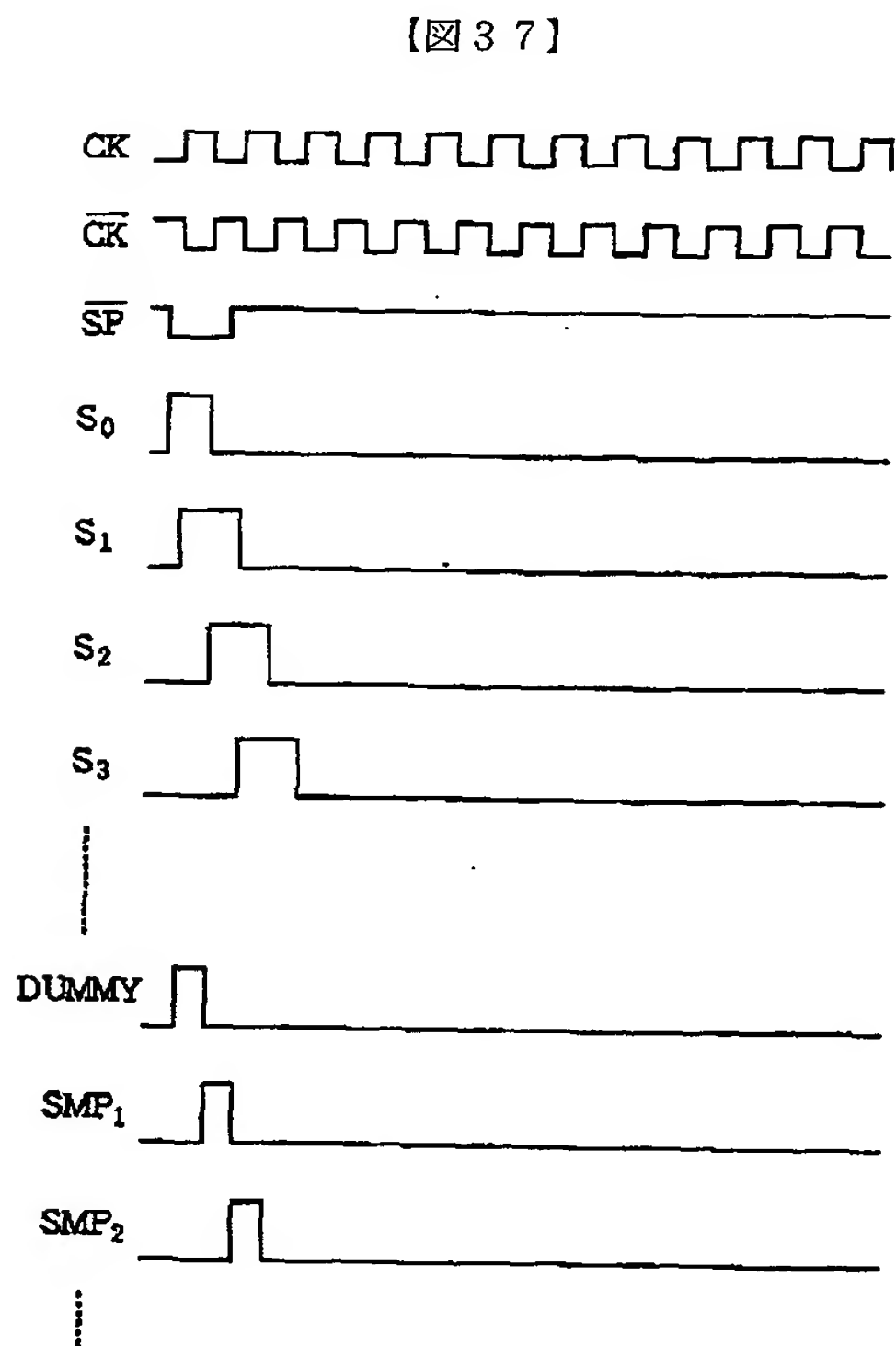
【図 35】



【図 36】



【図 38】



フロントページの続き

(72)発明者 前田 和宏
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内
(72)発明者 海瀬 泰佳
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72)発明者 マイケル ジェームス ブラウンロー
イギリス国 オーエックス4 4ワイビー
オックスフォード、サンドフォード オ
ン テムズ、チャーチ ロード 124
(72)発明者 グレアム アンドリュー カーンズ
イギリス国 オーエックス2 8エヌエイ
チ オックスフォード、カッテスロウ、ボ
ーン クローズ22